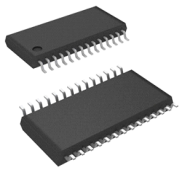
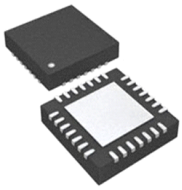
192kHz 数字音频接收电路

描述

MS8416T/MS8416N 是一款接收并解码数字音频数据的电路，它支持 IEC60958，S/PDIF,EIAJ CP1201 和 AES3 接口标准。MS8416T/MS8416N 具有软件模式与硬件模式，可根据不同的需求选择。通道状态数据保存在寄存器中，可以更方便的读取。GPO 管脚具有很强的灵活性，可以选择不同的信号输出。



TSSOP-28



QFN28

主要特点

- 完全兼容 IEC60958，S/PDIF，EIAJ CP1201 和 AES3 协议
- +3.3V 的模拟电源电压（VA）
- +3.3V 的数字电源电压（VD）
- +3.3 或+5V 的数字接口电源电压（VL）
- 8:2 S/PDIF 输入多路器
- 硬件模式下，可选择 AES/SPDIF 输入脚
- 3 个可编程输出管脚 GPO
- 硬件模式下可选择 S/PDIF 输出到 TX 管脚
- 支持 SPI 和 I^2C 接口
- 32kHz 到 192kHz 的采样频率范围
- 低抖动时钟恢复
- 可以通过管脚或 MCU 读取通道状态与用户数据
- 支持差分或单端输入
- 片内具有通道状态存储单元
- 可以自动检测被压缩的输入音频数据流
- 可以解码 CD 的 Q Sub-Code
- 具有 OMCK 系统时钟模式

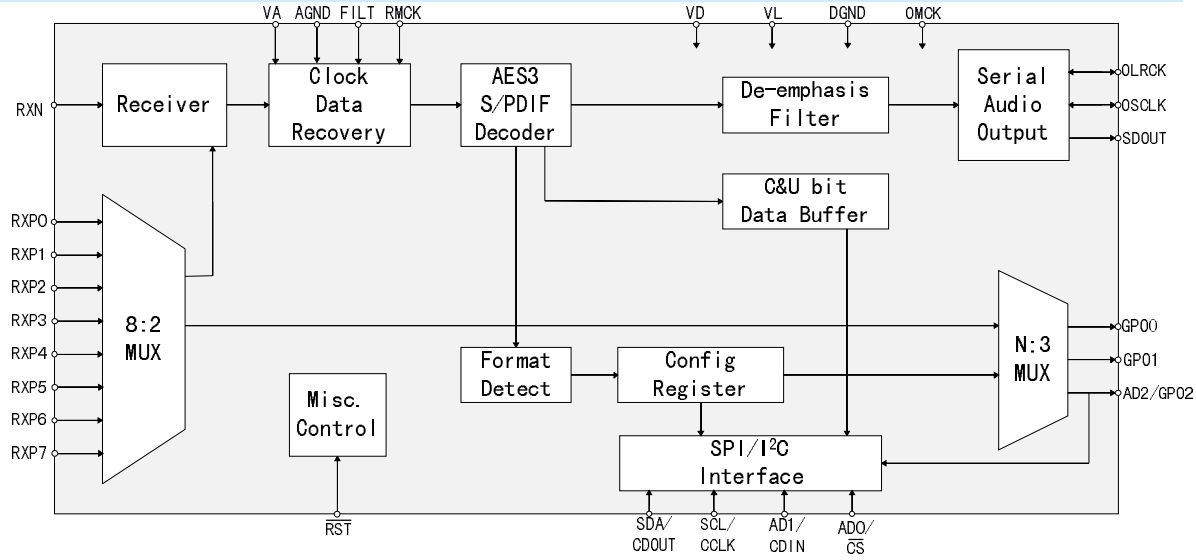
应用

- A/V 接收器
- CD-R,DVD 接收器
- 多媒体音箱
- 数字混频控制台
- 数字音频处理器
- 机顶盒
- 计算机
- 汽车音频系统

产品规格分类

产 品	封 装 形 式	打印名称
MS8416T	TSSOP-28	MS8416T
MS8416N	QFN28	MS8416N

内部框图


VA
AGND
FILT
RMCK
VD
VL
DGND
OMCK
RXN
Receiver
Clock Data Recovery
AES3 S/PDIF Decoder
De-emphasis Filter
Serial Audio Output
OLRCK
OSCLK
SDOUT
C&U bit Data Buffer
RXP0
RXP1
RXP2
RXP3
RXP4
RXP5
RXP6
RXP7
8:2 MUX
N:3 MUX
GPO0
GPO1
AD2/GPO2
Format Detect
Config Register
Misc. Control
SPI/I²C Interface
RST
SDA/ CDOUT
SCL/ CCLK
AD1/ CDIN
ADO/ CS

1. 特性和规格

所有的最小/最大特性和规格都是在具体的工作条件下取得的。典型的性能特征和规格是在额定供电电压和 T_A=25℃下测量的。

具体工作条件

（AGND,DGND = 0 V,所有的电压值都是相对于 0V。）

参　　数	符 号	最小值	典型值	最大值	单位
电源电压	VA	3.13	3.3	3.46	V
	VD	3.13	3.3	3.46	V
	VL	3.13	3.3 或 5.0	5.25	V
工作温度：　商用级	TA	-10	-	+70	℃
车载级		-40	-	+85	

极限范围

（AGND,DGND = 0 V,所有的电压值都是相对于 0V。工作在这些限定的条件下可能会对设备产生永久的损害。正常工作并不保证在这些极限范围内。）

参　　数	符 号	最小值	最大值	单位
电源电压	VA, VD, VL	-	6.0	V
输入电流，除供电外的任何管脚　（注意 1）	I_{in}	-	±10	mA
输入电压	V_{in}	-0.3	（VL）+0.3	V
工作温度（供电）	T_A	-55	125	℃
存储温度	T_{stg}	-65	150	℃

注意：

1. 上升到 100mA 的瞬态电流不会引起 SCR 的栓锁效应。

直流特性

（AGND,DGND = 0 V,所有的电压值都是相对于 0V。）

参　　数		符 号	最小值	典型值	最大值	单位
静态模式（注意 2,4）						
静态模式下的供电电流	VA	IA	-	10	-	μA
	VD	ID	-	70	-	μA
	VL=3.3V	IL	-	10	-	μA
	VL=5.0V	IL	-	12	-	μA
正常工作（注意 3，4）						
48kHZ 帧速率下的电源电流	VA	IA	-	5.7	-	mA
	VD	ID	-	5.9	-	mA
	VL=3.3V	IL	-	2.8	-	mA
	VL=5.0V	IL	-	4.2	-	mA
192kHZ 帧速率下的电源电流	VA	IA	-	9.4	-	mA
	VD	ID	-	23	-	mA
	VL=3.3V	IL	-	7.8	-	mA
	VL=5.0V	IL	-	11.8	-	mA

注意：

2. 静态模式是指 $\overline{RST}$ =LO 且所有的时钟和数据线保持静态。
3. 正常工作是指 $\overline{RST}$ =HI。
4. 假定没有输入悬空。推荐所有输入在任何时间下都由高或低电平驱动。

数字输入特性

（AGND,DGND = 0 V,所有的电压值都是相对于 0V。）

参　　数	符 号	最小值	典型值	最大值	单位
输入漏电流	I_{IN}	-	-	±0.5	μA
差分输入灵敏度，RXP[7:0]到RXN	V_{TH}	-	150	200	mVpp
输入滞后	V_H	0.15	-	1.0	V

数字输入规格

（AGND,DGND = 0 V,所有的电压值都是相对于 0V。）

参　　数	符 号	最小值	最大值	单位
输出高电压（I_{OH}=-3.2mA）	V_{OH}	(VL)-1.0	-	V
输出低电压（I_{OL}=3.2mA）	V_{OL}	-	0.5	V
输入高电压，除RXP[7:0]，RXN	V_{IH}	2.0	(VL)+0.3	V
输入低电压，除RXP[7:0]，RXN	V_{IL}	-0.3	0.8	V

转换特性

（输入：逻辑 0=0V，逻辑 1=VL；C_L=20pF）

参　　数		符 号	最小值	典型值	最大值	单位
$\overline{RST}$ 管脚低电平脉冲宽度			200	–	–	μs
PLL时钟恢复的采样速率范围			30	–	200	kHz
RMCK输出抖动	（注意5）		–	200	–	Ps RMS
RMCK输出占空比	（注意6）		45	50	55	%
	（注意7）		50	55	65	%
RMCK/OMCK最大频率			–	–	50	MHz

注意：

5. 典型的 RMS 周期性抖动。
6. 时钟由双相编码输入恢复后的占空比。
7. 当 OMCK 作为 RMCK 输出时的占空比。

转换特性-串行音频端口

（输入：逻辑 0=0V，逻辑 1=VL；C_L=20pF）

参　　数	符 号	最小值	典型值	最大值	单位
OSCLK/OLRCK边沿到SDOUT输出稳定的时间（注意8）	t_{dpd}	–	–	23	ns
主模式					
RMCK到OSCLK有效沿的延迟时间　（注意8）	t_{smd}	0	–	12	ns
RMCK到OLRCK的延迟时间　（注意9）	t_{lmd}	0	–	12	ns
OSCLK和OLRCK的占空比		–	50	–	%
从模式					
OSCLK周期	t_{sckw}	36	–	–	ns
OSCLK输入低电平宽度	t_{sckl}	14	–	–	ns
OSCLK输入高电平宽度	t_{sckh}	14	–	–	ns
OSCLK有效沿到OLRCK边沿时间　（注意8, 9, 10）	t_{lrckd}	10	–	–	ns
相对于OSCLK，OLRCK的建立时间　（注意8, 9, 11）	t_{lrcks}	10	–	–	ns

注意：

8. 在软件模式下，OSCLK 的有效沿是可编程的。
9. 在软件模式下，OLRCK 的极性是可编程的。
10. 该延迟是为了防止将 OLRCK 改变化之前的 OSCLK 边沿误作为第一个时钟沿。
11. 这个建立时间是为了确保该 OSCLK 沿是在 OLRCK 发生改变后的第一个时钟沿。

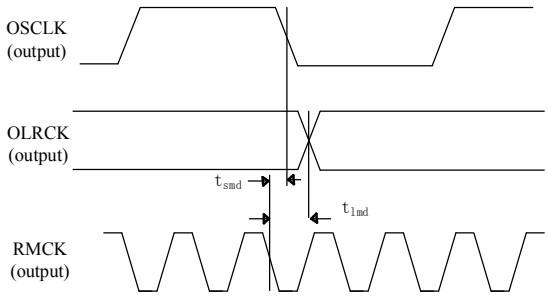


图 1. 音频端口主模式时序

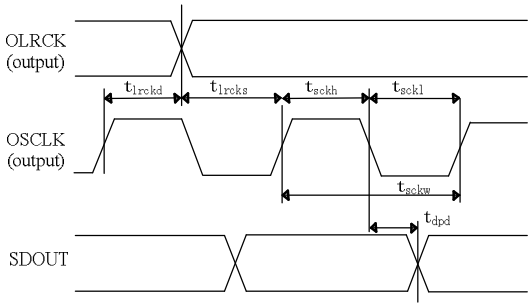


图 2. 音频端口从模式和数据输入时序

转换特性-数字接口-SPI 模式

（输入：逻辑 0=0V，逻辑 1=VL；C_L=20pF）

参　　数	符 号	最小值	最大值	单位
CCLK时钟频率	f_{sck}	0	6.0	MHz
$\overline{CS}$ 高电平的持续时间	t_{csh}	1.0	–	μs
$\overline{CS}$ 下降沿到CCLK上升沿的时间	t_{css}	20	–	ns
CCLK低电平时间	t_{scl}	66	–	ns
CCLK高电平时间	t_{sch}	66	–	ns
CDIN的建立时间	t_{dsu}	40	–	ns
CDIN的保持时间　　（注意13）	t_{dh}	15	–	ns
CCLK下降沿到CDOUT稳定时间	t_{pd}	–	50	ns
CDOUT的上升时间	t_{r1}	–	25	ns
CDOUT的下降时间	t_{f1}	–	25	ns
CCLK和CDIN的上升时间　　（注意14）	t_{r2}	–	100	ns
CCLK和CDIN的下降时间　　（注意14）	t_{r2}	–	100	ns

注意：

12. 如果 Fs 小于 46.875kHz，CCLK 的最大频率必须小于 128Fs。这是由于读写通道状态存储器需要一定时间。可以在的 6MHz 时钟速率下读写控制寄存器。由于系统所允许的最小输入采样速率为 32kHz，所以让 CCLK 小于或等于 4.1MHz，可保证正常的接口通信。

13. 由于 CCLK 的上升沿转换时间不为 0，数据必须保持稳定足够的时间。

14. f_{sck}＜1MHz。

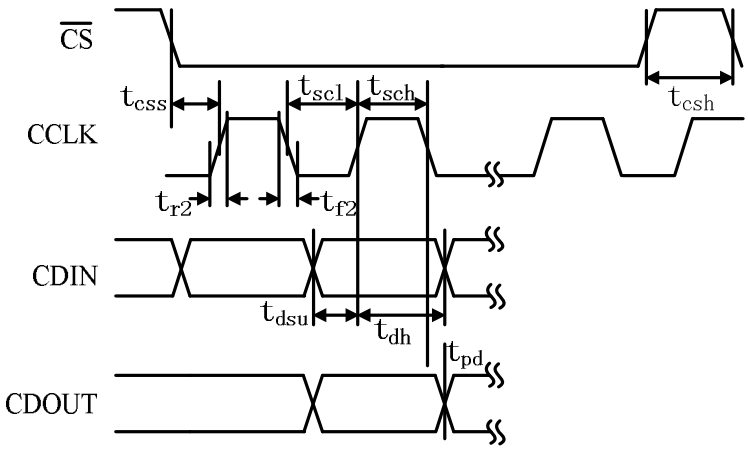


图 3. SPI 模式时序

转换特性-数字接口-I²C 格式

（输入：逻辑 0=0V，逻辑 1=VL；C_L=20pF）

参　　数	符 号	最小值	最大值	单位
SCL时钟频率	f_{scl}	-	100	kHz
传输之间的总线空闲时间	t_{buf}	4.7	-	μs
Start Condition的保持时间（在第一个时钟脉冲之前）	t_{hdst}	4.0	-	μs
时钟低电平时间	t_{low}	4.7	-	μs
时钟高电平时间	t_{high}	4.0	-	μs
Start Condition的建立时间	t_{sust}	4.7	-	μs
在SCL下降沿后的SDA保持时间　　（注意15）	t_{hdd}	10	-	ns
到SCL上升沿的SDA建立时间	t_{sud}	250	-	ns
SCL和SDA的上升时间	t_r	-	1000	ns
SCL和SDA的下降时间	t_f	-	300	ns
Stop Condition的建立时间	t_{susp}	4.7	-	μs

注意：

15. 由于 SCL 的变换时间 300ns，数据必须保持足够的时间。

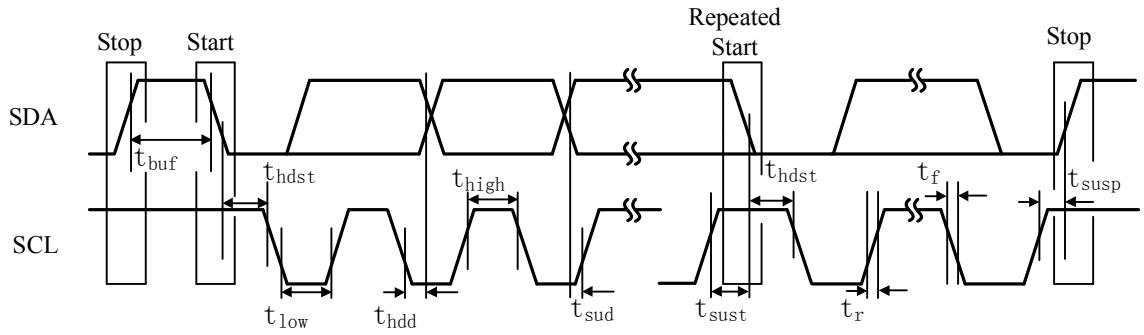
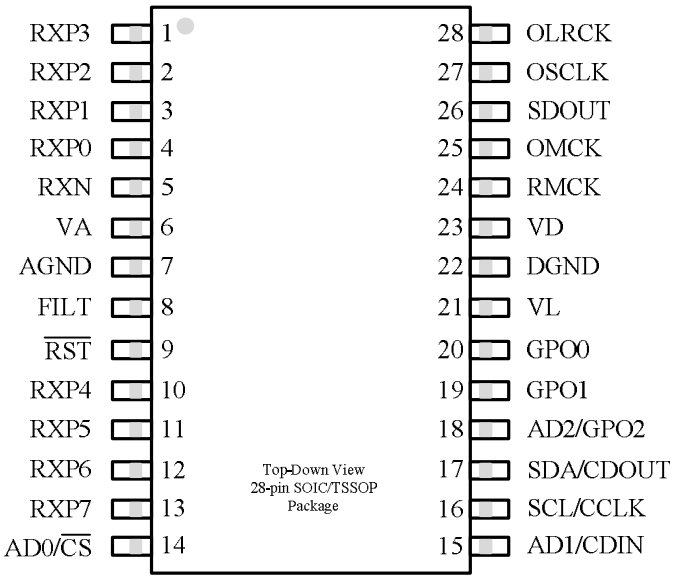


图 4. I²C 模式时序

2. 管脚描述-软件模式

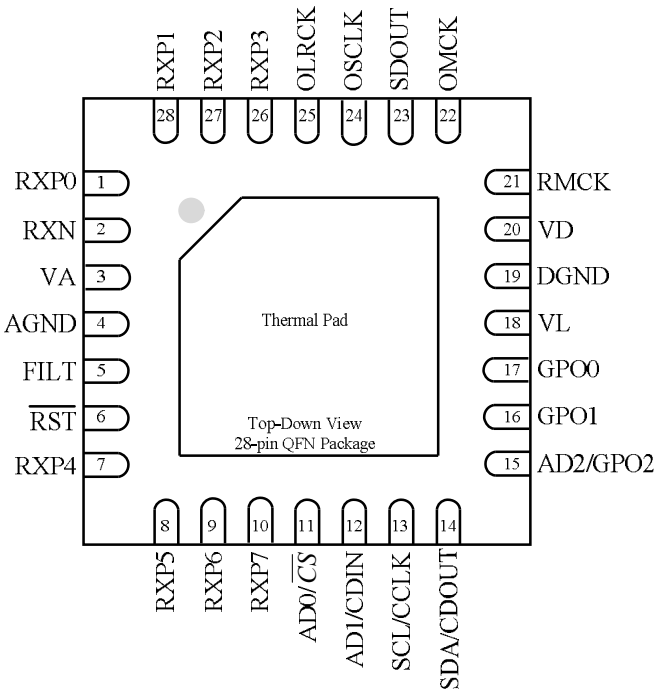
2.1 MS8416T 管脚描述



管脚名称	管脚号	管脚描述
VA	6	模拟电源（输入）-模拟供电电源。正常+3.3V。该电源的噪声尽可能的小，由于噪声会直接导致恢复时钟的抖动
VD	23	数字电源（输入）-数字核供电电源。正常+3.3V
VL	21	逻辑电源（输入）-输入/输出供电电源。正常+3.3V 或+5.0V
AGND	7	模拟地（输入）-芯片内模拟电路的地。AGND 和 DGND 必须连接在一起
DGND	22	数字核 I/O 地（输入）-I/O 和逻辑核心的地。AGND 和 DGND 必须连接在一起
$\overline{RST}$	9	复位（输入）-当 $\overline{RST}$ 是低电平时，MS8416T/MS8416N 进入低功耗模式，且内部的所有状态都复位。在上电开始时，$\overline{RST}$ 必须保持低电平，直到电源电压和所有的输入时钟在频率及相位上稳定
FILT	8	PLL 环路滤波器（输出）该管脚和模拟地之间必须连接一个 RC 网络。对于最较小的 PLL 抖动，滤波网络的终端直接到 AGND。详见 “PLL 滤波器”章节
RXP0 RXP1 RXP2 RXP3 RXP4 RXP5 RXP6 RXP7	4 3 2 1 10 11 12 13	AES3/SPDIF 正端输入（输入）-单端或差分接收 AES3 或 S/PDIF 编码的数据。RXP[7:0]输入包含了 8:2 的 S/PDIF 输入选择器。可通过配置寄存器 04h 选择所需的通道。不使用的输入端应悬空或接 AGND。推荐的输入电路详见“外置 AES3/SPDIF/IEC60958 接收器部件”。

RXN	5	AES3/SPDIF 负端输入（输入）单端或差分接收 AES3 或 S/PDIF 编码的数据。在单端信号工作时，该管脚应该接一个电容交流耦合到地。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”。
OMCK	25	系统时钟（输入）-当通过 1 寄存器中的 SWCLK 位使能 OMCK 作为系统时钟时，若 PLL 未锁定，则该管脚输入的时钟信号自动通过 RMCK 端输出。OMCK 作为寄存器 18h 的 OMCK/RMCK 系数表达式的参考信号。详见 “OMCK 系统时钟模式”部分
RMCK	24	恢复的输入部分主时钟（输出）-从 PLL 输出恢复的主时钟。频率默认 256 倍的采样速率（Fs），通过控制 1 寄存器（01h）中的 RMCKF 位可设置为 128 倍。通过控制 4 寄存器（04h）中的 RXD 位可将 RMCK 脚设为高阻态
OSCLK	27	串行音频位时钟输出（输入/输出）- SDOUT 管脚上输出的串行音频数据位时钟
OLRCK	28	串行音频左/右通道时钟（输入/输出）- SDOUT 管脚输出的串行音频数据的字速率时钟。输出的频率是采样速率（Fs）
SDOUT	26	串行音频数据输出（输出）-音频数据串行输出管脚。在软件模式下，该管脚必须通过接一个 47kΩ的上拉电阻到 VL。
SDA/ CDOUT	17	串行数据 I/O（I²C）/数据输出（SPI）（输入/输出）-在 I²C 模式中，SDA 是 I/O 数据线。SDA 是开漏输出，需要接一个上拉电阻到 VL。在 SPI 模式中，CDOUT 输出 MS8416T/MS8416N 的数字接口的数据。详见 “数字接口描述”部分
SCL/ CCLK	16	数字接口时钟（输入）-串行数字接口时钟，用于串行数字接口通信。CCLK 是漏极开路输出，需要接一个上拉电阻到 VL。详见 “数字接口描述”部分
AD0/ $\overline{CS}$	14	地址位 0（I²C）/片选信号（SPI）（输入）-在该管脚上的一个下降沿使 MS8416T/MS8416N 进入 SPI 模式。若没有下降沿，则 MS8416T/MS8416N 默认为 I²C 模式。在 I²C 模式中，AD0 是芯片地址管脚。在 SPI 模式中，$\overline{CS}$ 用于使能 MS8416T/MS8416N 的数字接口。详见 “数字接口描述”部分
AD1/ CDIN	15	地址位 1（I²C）/串行控制数据输入（SPI）（输入）-在 I²C 模式中，AD1 是芯片地址管脚。在 SPI 模式中，CDIN 是数字接口的数据输入管脚。详见 “数字接口描述”部分
AD2/ GPO2	18	通用输出 2（输出）-如果使用 I²C 模式，该管脚必须通过一个 47kΩ的上拉或下拉电阻。GPO 功能详见 “数字接口描述”部分和“通用输出”
GPO1	19	通用输出 1（输出）- GPO 功能详见 “通用输出”
GPO0	20	通用输出 0（输出）- GPO 功能详见 “通用输出”

2.2 MS8416N 管脚描述



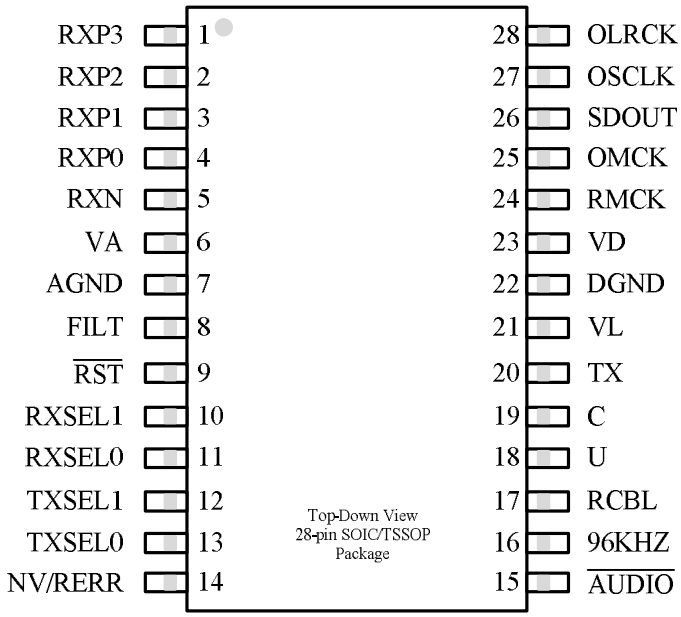
管 脚 名 称	管脚 号	管 脚 描 述
VA	3	模拟电源（输入）-模拟供电电源。正常+3.3V。该电源的噪声尽可能的小，由于噪声会直接导致恢复时钟的抖动
VD	20	数字电源（输入）-数字核供电电源。正常+3.3V
VL	18	逻辑电源（输入）-输入/输出供电电源。正常+3.3V 或+5.0V
AGND	4	模拟地（输入）-芯片模拟电路的地。AGND 和 DGND 必须连接在一起
DGND	19	数字核 I/O 地（输入）-I/O 和逻辑核心的地。AGND 和 DGND 必须连接在一起
$\overline{RST}$	6	复位（输入）-当 $\overline{RST}$ 是低电平时，MS8416T/MS8416N 进入低功耗模式，且内部的所有状态都复位。在上电开始时，$\overline{RST}$ 必须保持低电平，直到电源电压和所有的输入时钟在频率及相位上稳定
FILT	5	PLL 环路滤波器（输出）该管脚和模拟地之间必须连接一个 RC 网络。对于最较小的 PLL 抖动，滤波网络的终端直接到 AGND。详见 “PLL 滤波器”章节

RXP0 RXP1 RXP2 RXP3 RXP4 RXP5 RXP6 RXP7	1 28 27 26 7 8 9 10	AES3/SPDIF 正端输入（输入）-单端或差分接收 AES3 或 S/PDIF 编码的数据。RXP[7:0]输入包含了 8:2 的 S/PDIF 输入选择器。可通过配置寄存器 04h 选择所需的通道。不使用的输入端应悬空或接 AGND。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”。
RXN	2	AES3/SPDIF 负端输入（输入）单端或差分接收 AES3 或 S/PDIF 编码的数据。在单端信号工作时，该管脚应该接一个电容交流耦合到地。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”。
OMCK	22	系统时钟（输入）-当通过 1 寄存器中的 SWCLK 位使能 OMCK 作为系统时钟时，若 PLL 未锁定，则该管脚输入的时钟信号自动通过 RMCK 端输出。OMCK 作为寄存器 18h 的 OMCK/RMCK 系数表达式的参考信号。详见 “OMCK 系统时钟模式”部分
RMCK	21	恢复的输入部分主时钟（输出）-从 PLL 输出恢复的主时钟。频率默认 256 倍的采样速率（Fs），通过控制 1 寄存器（01h）中的 RMCKF 位可设置为 128 倍。通过控制 4 寄存器（04h）中的 RXD 位可将 RMCK 脚设为高阻态
OSCLK	24	串行音频位时钟输出（输入/输出）- SDOUT 管脚上输出的串行音频数据位时钟
OLRCK	25	串行音频左/右通道时钟（输入/输出）- SDOUT 管脚输出的串行音频数据的字速率时钟。输出的频率是采样速率（Fs）
SDOUT	23	串行音频数据输出（输出）-音频数据串行输出管脚。在软件模式下，该管脚必须通过接一个 47kΩ的上拉电阻到 VL。
SDA/ CDOUT	14	串行数据 I/O（I^2C）/数据输出（SPI）（输入/输出）-在 I^2C 模式中，SDA 是 I/O 数据线。SDA 是开漏输出，需要接一个上拉电阻到 VL。在 SPI 模式中，CDOUT 输出 MS8416T/MS8416N 的数字接口的数据。详见 “数字接口描述”部分
SCL/ CCLK	13	数字接口时钟（输入）-串行数字接口时钟，用于串行数字接口通信。CCLK 是漏极开路输出，需要接一个上拉电阻到 VL。详见 “数字接口描述”部分
AD0/ $\overline{CS}$	11	地址位 0（I^2C）/片选信号（SPI）（输入）-在该管脚上的一个下降沿使 MS8416T/MS8416N 进入 SPI 模式。若没有下降沿，则 MS8416T/MS8416N 默认为 I^2C 模式。在 I^2C 模式中，AD0 是芯片地址管脚。在 SPI 模式中，$\overline{CS}$ 用于使能 MS8416T/MS8416N 的数字接口。详见 “数字接口描述”部分
AD1/ CDIN	12	地址位 1（I^2C）/串行控制数据输入（SPI）（输入）-在 I^2C 模式中，AD1 是芯片地址管脚。在 SPI 模式中，CDIN 是数字接口的数据输入管脚。详见 “数字接口描述”部分
AD2/ GPO2	15	通用输出 2（输出）-如果使用 I^2C 模式，该管脚必须通过一个 47kΩ的上拉或下拉电阻。GPO 功能详见 “数字接口描述”部分和“通用输出”

GPO1	16	通用输出 1（输出）– GPO 功能详见 “通用输出”
GPO0	27	通用输出 0（输出）– GPO 功能详见 “通用输出”
THERMAL PAD	-	散热管脚–使芯片更好的散热

3. 管脚描述-硬件模式

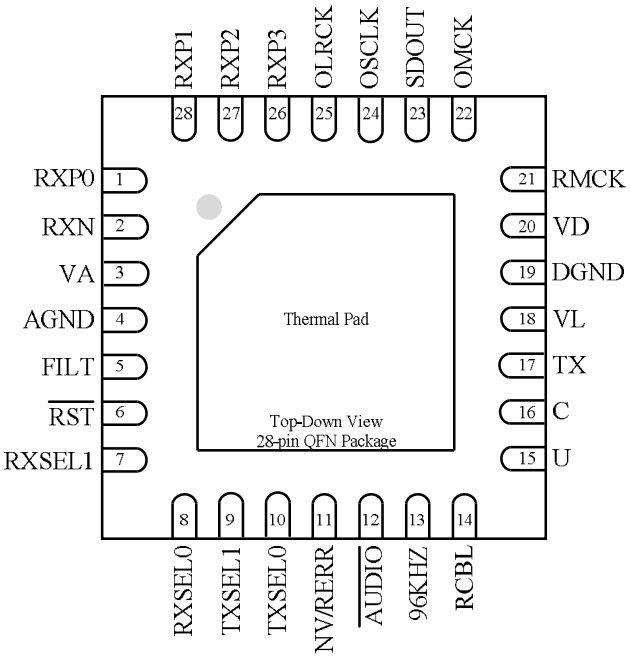
3.1 MS8416T 管脚描述



管 脚 名 称	管脚号	管 脚 描 述
VA	6	模拟电源（输入）-模拟供电电源。正常+3.3V。该电源的噪声尽可能的小，由于噪声会直接导致恢复时钟的抖动
VD	23	数字电源（输入）-数字核供电电源。正常+3.3V
VL	21	逻辑电源（输入）-输入/输出供电电源。正常+3.3V 或+5.0V
AGND	7	模拟地（输入）-芯片内模拟电路的地。AGND 和 DGND 必须连接在一起
DGND	22	数字核 I/O 地（输入）-I/O 和逻辑核心的地。AGND 和 DGND 必须连接在一起
$\overline{RST}$	9	复位（输入）-当 $\overline{RST}$ 是低电平时，MS8416T/MS8416N 进入低功耗模式，且内部的所有状态都复位。在上电开始时，$\overline{RST}$ 必须保持低电平，直到电源电压和所有的输入时钟在频率及相位上稳定
FILT	8	PLL 环路滤波器（输出）该管脚和模拟地之间必须连接一个 RC 网络。对于最较小的 PLL 抖动，滤波网络的终端直接到 AGND。详见 “PLL 滤波器”章节
RXP0 RXP1 RXP2 RXP3	4 3 2 1	AES3/SPDIF 正端输入（输入）-单端或差分接收 AES3 或 S/PDIF 编码的数据。RXP[3:0]输入包含了 4:2 的 S/PDIF 输入选择器。可通过管脚 RXPSEL[1：0]选择所需的通道。不使用的输入端应悬空或接 AGND。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”。
RXN	5	AES3/SPDIF 负端输入（输入）单端或差分接收 AES3 或 S/PDIF 编码的数据。在单端信号工作时，该管脚应该接一个电容交流耦合到地。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”

OMCK	25	系统时钟（输入）-当通过 1 寄存器中的 SWCLK 位使能 OMCK 作为系统时钟时，若 PLL 未锁定，则该管脚输入的时钟信号自动通过 RMCK 端输出。OMCK 作为寄存器 18h 的 OMCK/RMCK 系数表达式的参考信号。详见 “OMCK 系统时钟模式”部分
RMCK	24	恢复的输入部分主时钟（输出）-从 PLL 输出恢复的主时钟。频率默认 256 倍的采样速率（Fs），通过控制 1 寄存器（01h）中的 RMCKF 位可设置为 128 倍。通过控制 4 寄存器（04h）中的 RXD 位可将 RMCK 脚设为高阻态
OSCLK	27	串行音频位时钟输出（输入/输出）- SDOUT 管脚上输出的串行音频数据位时钟
OLRCK	28	串行音频左/右通道时钟（输入/输出）- SDOUT 管脚输出的串行音频数据的字速率时钟。输出的频率是采样速率（Fs）
SDOUT	26	串行音频数据输出（输出）-音频数据串行输出管脚。在软件模式下，该管脚必须通过接一个 47kΩ的上拉电阻到 VL。
RXSEL1 RXSEL0	10 11	接收端多路器的选择（输入）-选择 RXP[3:0]中的一路作为接收器的输入
TXSEL1 TXSEL0	12 13	发送端多路器的选择（输入）-选择 RXP[3:0]中的一路作为 TX 管脚的输出。如果不使用 TX 通路，应该它将配置为一个不用的接收器输入
TX	20	S/PDIF 复用通道（输出）-单端信号，但在输出前不会去除抖动。输出由 TXSEL[1:0]选择。在复位时，该管脚也可用来选择鉴相器的类型（PDUR）。如果不使用 TX 通路，用户应设置使得 TX 输出不使用的接收器输入
NV/RERR	14	无效的接收器错误/接收器错误（输出）-接收器错误显示。接一个 47kΩ的电阻到 DGND 选择 NVERR。接一个 47kΩ的电阻到 VL 选择 RERR。
AUDIO	15	音频通道状态位（输出）-低电平显示有效的线性 PCM 音频。详见 “非音频检测”。也可在复位时用来选择串行端口格式（SFSEL1）。
96KHZ	16	96kHz 采样速率检测（输出）-如果采样速率小于等于 48kHz，则输出“0”。如果采样速率大于等于 88.1kHz，则输出“1”。其他情况输出未知。也可在复位时用来选择预加重音频匹配功能。
RCBL	17	接收器通道状态块（输出）-指出通道状态块的起始。在接收到一个 Z 头码的两帧后 RCBL 变高电平，并保持 16 帧的高电平，随后变低电平。RCBL 在 RMCK 的上升沿变化。可在复位时用来选择串行音频端的主模式或从模式。
C	19	通道状态数据（输出）-输出来自 AES3 接收器的通道状态数据，由 OLRCK 的上升沿和下降沿采样。也可在复位时用来选择串行端口格式（SFSEL0）。
U	18	用户数据（输出）-输出来自 AES3 接收器的用户数据，由 OLRCK 的上升沿和下降沿采样。也可在复位时用来选择 RMCK 的频率为 256Fs 或 128Fs。

3.2 MS8416N 管脚描述



管 脚 名 称	管脚号	管 脚 描 述
VA	3	模拟电源（输入）-模拟供电电源。正常+3.3V。该电源的噪声尽可能的小，由于噪声会直接导致恢复时钟的抖动
VD	20	数字电源（输入）-数字核供电电源。正常+3.3V
VL	18	逻辑电源（输入）-输入/输出供电电源。正常+3.3V 或+5.0V
AGND	4	模拟地（输入）-芯片模拟电路的地。AGND 和 DGND 必须连接在一起
DGND	19	数字核 I/O 地（输入）-I/O 和逻辑核心的地。AGND 和 DGND 必须连接在一起
$\overline{RST}$	6	复位（输入）-当 $\overline{RST}$ 是低电平时，MS8416T/MS8416N 进入低功耗模式，且内部的所有状态都复位。在上电开始时，$\overline{RST}$ 必须保持低电平，直到电源电压和所有的输入时钟在频率及相位上稳定
FILT	5	PLL 环路滤波器（输出）该管脚和模拟地之间必须连接一个 RC 网络。对于最较小的 PLL 抖动，滤波网络的终端直接到 AGND。详见 “PLL 滤波器”章节
RXP0 RXP1 RXP2 RXP3	1 28 27 26	AES3/SPDIF 正端输入（输入）-单端或差分接收 AES3 或 S/PDIF 编码的数据。RXP[3:0]输入包含了 4:2 的 S/PDIF 输入选择器。可通过管脚 RXPSEL[1：0]选择所需的通道。不使用的输入端应悬空或接 AGND。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”。

RXN	2	AES3/SPDIF 负端输入（输入）单端或差分接收 AES3 或 S/PDIF 编码的数据。在单端信号工作时，该管脚应该接一个电容交流耦合到地。推荐的输入电路详见 “外置 AES3/SPDIF/IEC60958 接收器部件”
OMCK	22	系统时钟（输入）-当通过 1 寄存器中的 SWCLK 位使能 OMCK 作为系统时钟时，若 PLL 未锁定，则该管脚输入的时钟信号自动通过 RMCK 端输出。OMCK 作为寄存器 18h 的 OMCK/RMCK 系数表达式的参考信号。详见 “OMCK 系统时钟模式”部分
RMCK	21	恢复的输入部分主时钟（输出）-从 PLL 输出恢复的主时钟。频率默认 256 倍的采样速率（Fs），通过控制 1 寄存器（01h）中的 RMCKF 位可设置为 128 倍。通过控制 4 寄存器（04h）中的 RXD 位可将 RMCK 脚设为高阻态
OSCLK	24	串行音频位时钟输出（输入/输出）- SDOUT 管脚上输出的串行音频数据位时钟
OLRCK	25	串行音频左/右通道时钟（输入/输出）- SDOUT 管脚输出的串行音频数据的字速率时钟。输出的频率是采样速率（Fs）
SDOUT	23	串行音频数据输出（输出）-音频数据串行输出管脚。在软件模式下，该管脚必须通过接一个 47kΩ的上拉电阻到 VL。
RXSEL1 RXSEL0	7 8	接收端多路器的选择（输入）-选择 RXP[3:0]中的一路作为接收器的输入
TXSEL1 TXSEL0	9 10	发送端多路器的选择（输入）-选择 RXP[3:0]中的一路作为 TX 管脚的输出。如果不使用 TX 通路，应该它将配置为一个不用的接收器输入
TX	17	S/PDIF 复用通道（输出）-单端信号，但在输出前不会去除抖动。输出由 TXSEL[1:0]选择。在复位时，该管脚也可用来选择鉴相器的类型（PDUR）。如果不使用 TX 通路，用户应设置使得 TX 输出不使用的接收器输入
NV/RERR	11	无效的接收器错误/接收器错误（输出）-接收器错误显示。接一个 47kΩ的电阻到 DGND 选择 NVERR。接一个 47kΩ的电阻到 VL 选择 RERR。
AUDIO	12	音频通道状态位（输出）-低电平显示有效的线性 PCM 音频。详见 “非音频检测”。也可在复位时用来选择串行端口格式（SFSEL1）。
96KHZ	13	96kHz 采样速率检测（输出）-如果采样速率小于等于 48kHz，则输出“0”。如果采样速率大于等于 88.1kHz，则输出“1”。其他情况输出未知。也可在复位时用来选择预加重音频匹配功能。
RCBL	14	接收器通道状态块（输出）-指出通道状态块的起始。在接收到一个 Z 头码的两帧后 RCBL 变高电平，并保持 16 帧的高电平，随后变低电平。RCBL 在 RMCK 的上升沿变化。可在复位时用来选择串行音频端的主模式或从模式。
C	16	通道状态数据（输出）-输出来自 AES3 接收器的通道状态数据，由 OLRCK 的上升沿和下降沿采样。也可在复位时用来选择串行端口格式（SFSEL0）。
U	15	用户数据（输出）-输出来自 AES3 接收器的用户数据，由 OLRCK 的上升沿和下降沿采样。也可在复位时用来选择 RMCK 的频率为 256Fs 或 128Fs。
THERMAL PAD	-	散热管脚-使芯片更好的散热

4. 典型连接图

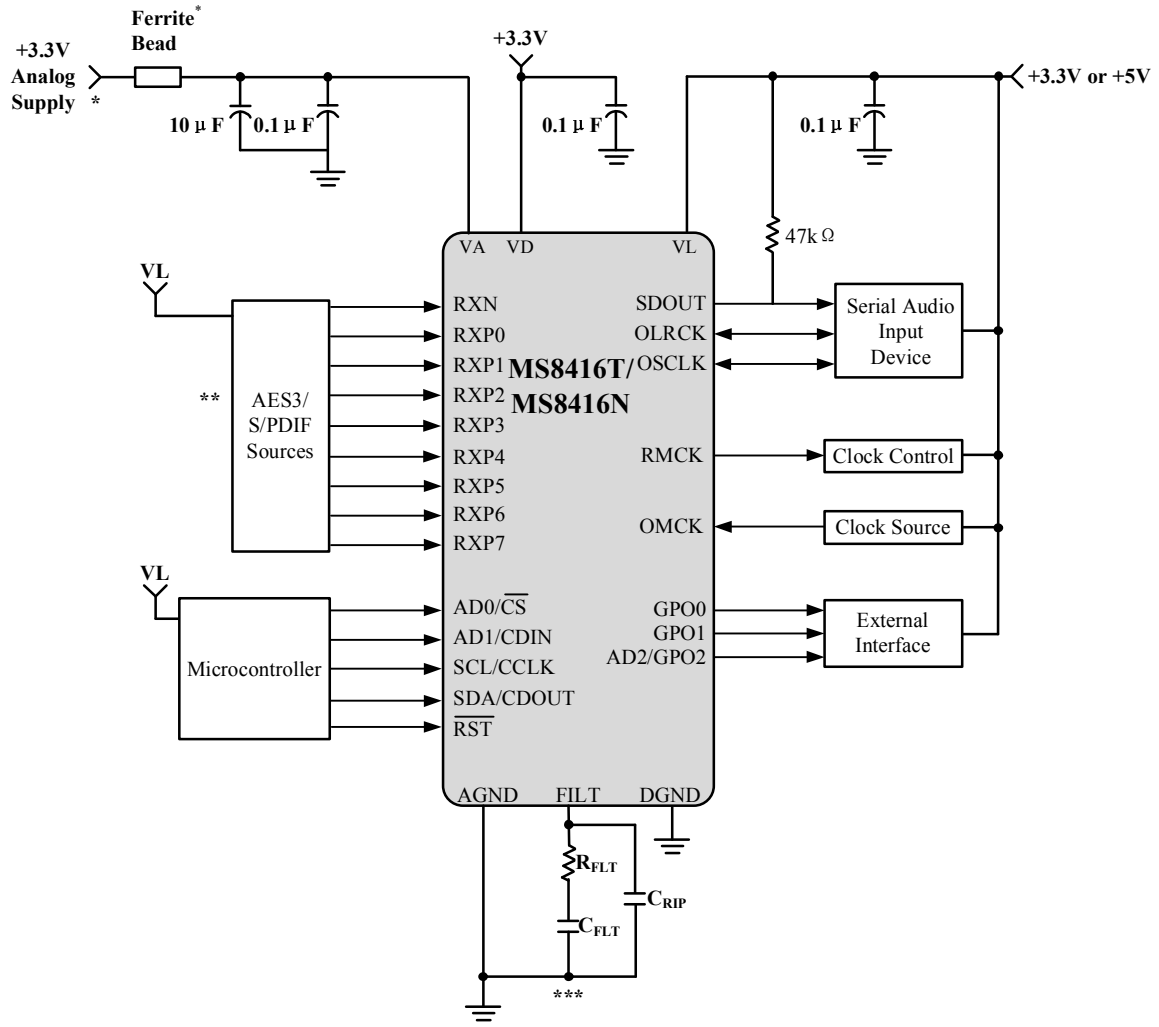


图 5. 典型连接图 – 软件模式

*仅当 RMCK 工作在对抖动敏感的应用时，才需要一个单独的模拟电源。而当 RMCK 工作在对抖动不敏感的应用时，连接 VA 和 VD，并保留 VA 和 AGND 之间的去耦合电容。

**典型的输入结构和推荐的输入电路见“S/PDIF 接收器”和“外部 AES3/SPDIF/IEC60958 接收器器件”。

***为得到最佳的抖动性能，滤波器的地直接连接到 AGND 管脚。见表 6 的 PLL 滤波器值。

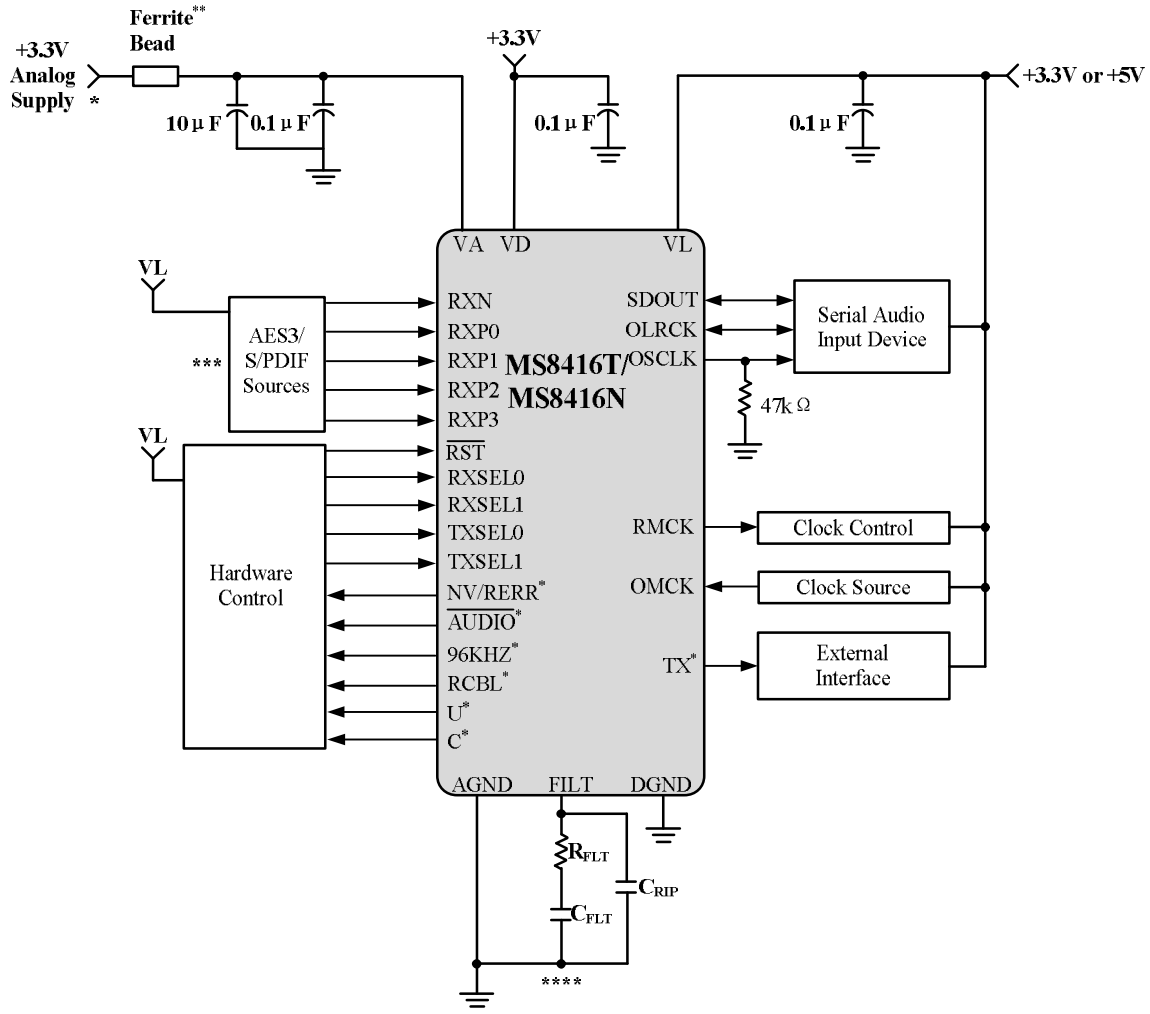


图 6. 典型连接图 – 硬件模式

*这些管脚必须通过一个 47kΩ的电阻上拉到 VL 或下拉到 DGND。

**仅当 RMCK 工作在对抖动敏感的应用时，才需要一个单独的模拟电源。而当 RMCK 工作在对抖动不敏感的应用时，连接 VA 和 VD，并保留 VA 和 AGND 之间的去耦合电容。

***典型的输入结构和推荐的输入电路见“S/PDIF 接收器”和“外部 AES3/SPDIF/IEC60958 接收器器件”。

****为得到最佳的抖动性能，滤波器的地直接连接到 AGND 管脚。见表 6 的 PLL 滤波器值。

5. 应用

5.1 复位，上电和启动

当 $\overline{RST}$ 为低电平时，MS8416T/MS8416N 进入低功耗模式，内部所有的状态复位，包括数字接口和寄存器，且输出静音。在软件模式中，当 $\overline{RST}$ 为高电平时，数字接口工作，配置寄存器。是 RUN 为 1 时。将使 MS8416T/MS8416N 离开低功耗模式进入工作状态。在 PLL 锁定后，使能串行音频输出端。

MS8416T/MS8416N 中的一些设置由启动结构控制。在复位过程中，一些管脚被重新设置为输入。在退出复位状态的瞬间，检测这些管脚的电平，然后管脚将转变成输出。可以将管脚通过一个 47kΩ的电阻连接到 VL(HI)或 DGND(LO)，来进行模式选择。对于每种模式，由于每个启动选择管脚没有内部的上拉或下拉电阻，因此必须接一个外部上拉或下拉电阻（除了 TX，它有一个内置下拉电阻）。在软件模式中，GPO2 和 SDOUT 有启动选择。GPO2 在 I^2C 模式中作为芯片地址位。SDOUT 选择硬件和软件模式。硬件模式使用启动选择，详见 15.2 节“硬件模式功能选项”。

5.2 ID 码和校验码

MS8416T/MS8416N 有一个包含 4bit 地址码的寄存器，用来指明 MS8416T/MS8416N 的地址。若在同一个系统中有其他 MS84XX 系列芯片时，软件模式会很有用。

MS8416T/MS8416N 的 4bit 版本号也有用。它允许 MS8416T/MS8416N 的软件驱动器检测出系统中 MS8416T/MS8416N 的版本，可以调整它的性能。为允许将来的修正，强烈推荐版本号被读取带微控制器的一个可变区域，在任何适当的情况下版本的详细信息都是可知的。

5.3 供电电源，地，PCB 布局

对于大部分应用，MS8416T/MS8416N 可在一个单独的+3.3V 供电电源下工作，包含标准电源去耦合部分（见图 5 和 6）。由于 RMCK 管脚上输出的恢复输入时钟部分需要较低的抖动，因此使用一个独立稳定的模拟+3.3V 电源 VA，和去耦合到 AGNG。确保没有数字路径在 VA，AGND 或 FILT 上，因为噪音耦合会降低性能。这些管脚需要隔离开关信号和其他噪音源。

VL 固定数字输入和输出电平和 AES/SPDIF 接收器的输入电平一样。

推荐在未使用区域填满地层和在表面放去耦合电容。去耦合电容需放置在 PCB 板的同一边，使 MS8416T/MS8416N 的电感效应最低，且所有去耦合电容必须尽可能的靠近 MS8416T/MS8416N。详见“PLL 滤波器”推荐的 PLL 布局。

6. 概述

MS8416T/MS8416N 是一个单片 CMOS 芯片，遵循 AES3，IEC60953，S/PDIF，和 EIAJ CP1201 接口标准接收和解码音频数据。

MS8416T/MS8416N 采用一个 8:2 多路复用器选择一个输入，解码并允许通过一个输出管脚输出。输入数据可以是差分或者单端信号。一个低抖动时钟通过 PLL 从输入数据中恢复得到。解码后的音频数据通过可配置的 3 线串行输出端口输出。用户数据中的通道状态和 Q 通道子码被存储在寄存器中，可以通过 SPI 和 I^2C 端口访问。

在软件控制下，3 个通用输出（GPO）管脚可以输出多种信号。在硬件模式下，具有专用管脚用来选择音频输入解码并传输到专用的 TX 管脚。硬件模式下也允许访问通道状态和用户数据输出管脚。

6.1 AES3 和 S/PDIF 标准文件

我们假设用户已熟悉 AES3 和 S/PDIF 数字格式。对于最新的 AES3，IEC60958，和 IEC61937 规格的最新参考内容是适用的。

图 5 和 6 分别显示了软件模式和硬件模式下电源和外部连接的 MS8416T/MS8416N 配置。请注意所有 I/O 管脚，包括 RXN 和 RXP[7:0]，工作在 VL 电压下。最新的 AES3 标准可在 www.aes.org 或 www.ansi.org 的音频工程协会和 ANSI 上获取。从 ANSI 或国际电技术委员会的 www.iec.ch 上获取最新的 IEC60958/61937 信息。在日本电子局可获取最新的 EIAJ CP-1201 标准。

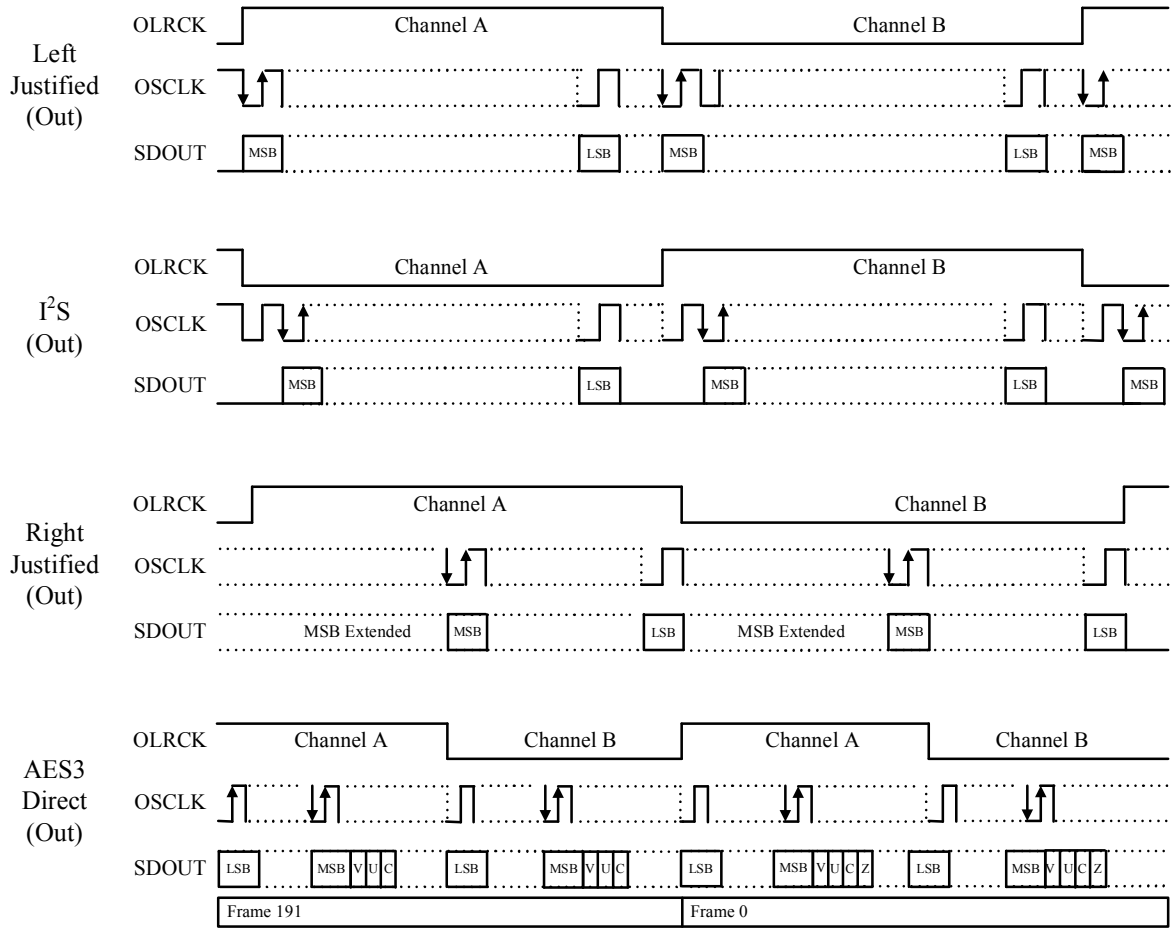
应用注意 22：虽然数字音频接口数据结构的概述包含了一个数字音频规格教程，但它不能替换的一个标准协议。

7. 串行音频输出端口

MS8416T/MS8416N 提供了 3 线串行音频输出端口。通过配置寄存器，可以对端口进行调整。下列参数是可调整的：主或从模式，串行时钟频率，音频数据的分辨率，数据相对于左/右时钟可以左或右对齐，可对第一位数据进行一个单位延迟，位时钟的极性，和左/右时钟的极性。通过设置恰当的控制位，可实现许多格式。

图 7 显示了通用输出格式的选择，附带控制位的设置。AES3 直接输出格式，允许串行输出端口读取嵌入在串行音频数据流中的 V,U,和 C 位。在使用 AES3 直接输出格式时，去加重滤波器必须关闭（见 14.4）。Z 位代替了原先正的肌肉校验位 P，以指示每一个数据块的开始。接收到的通道状态数据块起始信号可用于硬件模式下的 RCBL 管脚，或软件模式下的 GPO 管脚。

在主模式下，左/右时钟（OLRCK）和串行位时钟（OSCLK）为输出，它来源于恢复后的 RMCK 时钟。在从模式下，OLRCK 和 OSCLK 为输入。OLRCK 通常与对应的主时钟同步，但是如果需要，OSCLK 可以是异步的、不连续的。通过调整 OLRCK 的相位并控制串行时钟，多个 MS8416T/MS8416N 可以共用一个串行端口。如果 OLRCK 时连续的，且串行时钟的足以锁定所有的数据位，则是占空比可以小于典型值 50%。在从模式下，串行音频输出端口不能设置为右对齐模式。通过设置控制寄存器 1 中的 MUTESAO 位，MS8416T/MS8416N 允许立即消除串行音频输出端口的数据。



	SOMS*	SOSF*	SOSRES[1:0]*	SOJUST*	SODEL*	SOSPOL*	SOLRPOL*
Left-Justified	X	X	XX	0	0	0	0
I^2S	X	X	XX	0	1	0	1
Right-Justified	1	X	XX	1	0	0	0
AES3 Direct	X	X	11	0	0	0	0

X = 不关心匹配的格式，但需要设置为所需的要求
*参阅串行输出数据格式寄存器的每位含义的解释说明

图 7. 串行音频输出示例格式

7.1 迟滞/重复行为

在从模式下使用串行音频输出端口，若 OLRCK 输入时钟异步于输入的 AES3 数据，当采样重复或丢失发生时，中断位 OSLIP（中断 1 状态寄存器 0Dh 中的 bit5）将会显示。参见图 8 的 AES3 数据格式图。

当串行输出端口工作在从模式下，根据 OLRCK 相对于输入的 AES3 数据（Z/X）头码的频率，数据会在 MS8416T/MS8416N 的输出上迟滞或重复。

在 Z/X 头码后的一个固定延时（工作在 256Fs 内部时钟的几个周期）后，电路会立即检查接收到的音频数据，直到上一个的 Z/X 头码为止，检测下列情况发生：

1. 如果在那段时间内，内置数据缓冲器没有更新，则产生了一个迟滞。系统输出前一帧的数据，且 OSLIP 位被置 1。由于 OSLIP 位具有“粘性”，它将一直保持为 1 到寄存器被读取。当另一个迟滞/重复情况发生，它被复位。

2. 如果在那段时间，内置数据缓冲器没有在两个 OLRCK 的上升沿或下降沿（依据 SOLRPOL）之间更新，则产生一个重复。在这种情况中，缓冲器数据更新两次，因此将丢失一帧数据。该事件也会使 OSLIP 位置 1。由于 OSLIP 位具有“粘性”，它将一直保持为 1 到寄存器被读取。当另一个迟滞/重复情况发生，它被复位。

3. 如果在那段时间， OLRCK 有一个上升沿（或下降沿，若 SOLRPOL 被置 1），则没有迟滞或重复发生。由于 OSLIP 位具有“粘性”，它将一直保持原先的状态直到寄存器被读取或一个迟滞/重复情况发生。

如果在事件发生时用户立即读取 OSLIP 位，在较长的一段时间里产生 INT 在频率上将等于输入的 AES 数据和串行输出 OLRCK 的差值。当一个迟滞/重复事件发生时，MS8416T/MS8416N 会有一个滞后窗口。当一个 OLRCK 的边沿出现在 Z/X 头码窗口时，就会触发迟滞/重复。无滞后窗口时，OLRCK 上频率接近 Fs 的抖动会引起多次滞后或超前，从而引起复用器的迟滞/重复。MS8416T/MS8416N 使用一个滞后窗口以确保即使在 OLRCK 上有抖动也只有一个迟滞/重复发生。

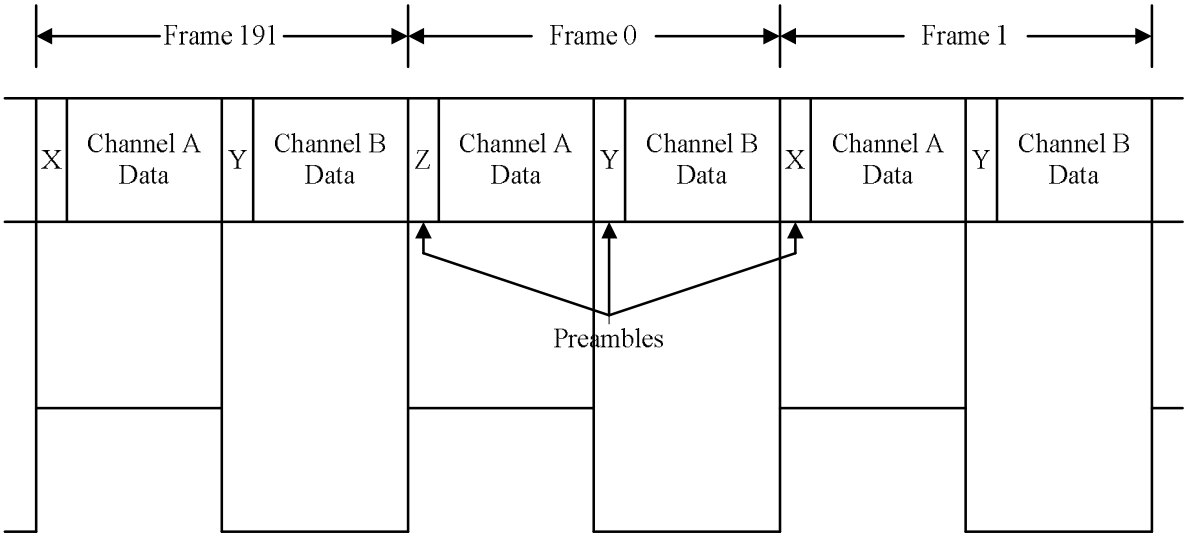


图 8. AES3 数据格式

7.2 AES11 行为

当 OLRCK 作为一个主时钟时，OLRCK 的上升沿或下降沿（依据寄存器 05h 中 SOLRPOL 位的设置）从头码 X/Z 开始的-1.0%（1/Fs）-1.1%（1/Fs）内。在主模式下，通过器件的延迟与输入的采样频率有关。从头码开始到 OLRCK 有效沿的延迟在不同采样频率下的典型值见表 1。在主模式，且不使用去加重滤波器，音频数据的延迟是 3 帧的时间。

表 1. 关于频率值的典型延迟

Fs（kHz）	Delay（ns）
32	98.0
44.1	80.5
48	78.0
64	67.0
96	57.5
192	47.0

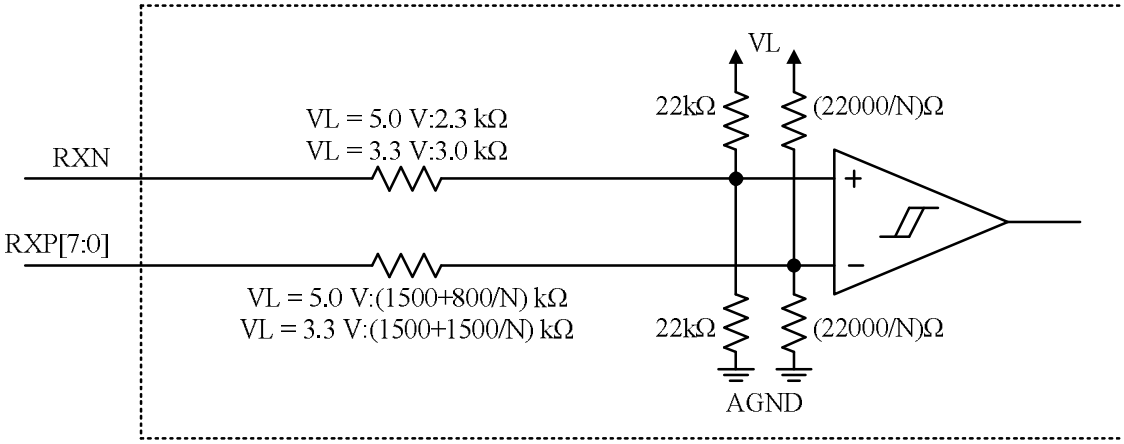
当 OLRCK 作为一个从时钟时，在 OLRCK 的上升沿或下降沿（依据寄存器 05h 中 SOLRPOL 位的

设置）+/-28%（1/Fs）内，任何同步数据输入都被视为同一时间的采样。由于 MS8416T/MS8416N 在软件模式下无 OLRCK 控制，数据通过元件的等待时间是 1/Fs 加上 OLRCK 和头码之间的延迟。

以上这些情况都在 AES11 标准的限制范围内。

8. S/PDIF 接收器

MS8416T/MS8416N 包含了一个 AES3/SPDIF 数字音频接收器。遵循 AES3，IEC60958（S/PDIF），和 EIAJ CP-1201 接口标准，接收器接收和解码双相编码音频数据。接收器由一个模拟差分输入级（驱动模拟输入管脚 RXP0-RXP7 和 RXN），一个基于时钟恢复的 PLL 电路，和一个用于把音频数据从通道状态和用户数据中分离出来的解码器。外部器件用于连接输入数据缆线并隔离 MS8416T/MS8416N。这些元件详细描述在“外部 AES3/SPDIF/IEC60958 接收器元件”。图 9 显示了接收器的输入结构。



If RXP[7:0] is selected by either the receiver MUX or the TX passthrough MUX,N=1.
If RXP[7:0] is selected by both the receiver MUX and the TX passthrough MUX,N=2.
If RXP[7:0] is not selected at all,N=0(i.e. high impedance).

图 9. 接收器输入结构

8.1 8:2 S/PDIF 输入多路复用器

8.1.1 概述

MS8416T/MS8416N 采用一个 8:2 S/PDIF 输入多路选择器，最多可容纳 8 通道的输入数字音频数据。数字音频数据可以是单端或差分的。差分输入利用 RXP[7:0]和一个共用的 RXN。单端信号通过 RXP[7:0]输入并将 RXN 交流耦合到地。

MS8416T/MS8416N 中 8:2 S/PDIF 输入多路选择器的所有有效输入都应通过一个电容耦合进入。当输入不用时应悬空。若不使用多路选择器，输入应悬空状态或接到 AGND。推荐电容值为 0.01μF-0.1μF。用于交流耦合电容器的电介质推荐使用 COG 或 X7R。

输入多路选择器的输入电压范围由 I/O 供电电压管脚 VL 确定。RXP[7:0]和 RXN 管脚的输入电压范围也由 VL 电压确定。输入电压高于 VL 或低于 DGND 会降低性能或损坏元件。

8.1.2 软件模式

通过寄存器 04h 中的 RXSEL[2:0]位使用多路选择器的选择线。多路选择器默认为 RXP0。

多路选择器的第二输出端可以作为 GPO 管脚上的输入源。该旁路信号由寄存器 04h 中的 TXSEL[2:0]选择。该单端信号被分解成轨到轨信号，且在输出信号是没有去抖动的。

8.1.3 硬件模式

在硬件模式中，输入的信号由管脚 RXSEL[1:0]选择。

在管脚 TX 上输出的旁路信号由 TXSEL[1:0]选择。该单端信号被分解成轨到轨信号，且在输出信号是没有去抖动的。

接收器和 TX 输出管脚的可选择输入被限制在 RXP0-RXP3。这些输入分别由 RXSEL[1:0]和

TXSEL[1:0]选择。

8.2 OMCK 系统时钟模式

当 PLL 未锁定时，一个特殊的时钟切换模式允许 OMCK 输入时钟自动替换 RMCK。该功能不会再在 RMCK 上产生干扰或毛刺。在硬件模式中，该功能由复位后 OMCK 管脚上的一个电平变化（上升沿有效）使能。若硬件模式下不使用该时钟切换功能，需把 OMCK 接到 DGND 或 VL。然而，硬件模式下一旦启用该时钟切换功能，只有复位才能停止。在软件模式，通过设置控制 1 寄存器中 SWCLK 位为“1”来启用时钟自动切换功能。此外，在软件模式，通过控制 0 寄存器中的 FSWCLK 位可手动强制 OMCK 信号输出在 RMCK 管脚上。

当串行接口工作在主模式下，若启用时钟切换功能，OSCLK 和 OLRCK 是由 OMCK 输入分频所得。启用时钟切换且 PLL 未锁定时，OLRCK 是 OMCK/256，OSCLK 是 OMCK/4。当 PLL 锁定失败，VCO 的频率降到约 750kHz。若不使用系统时钟模式，当 PLL 没有锁定且没有到达它的稳定状态的空闲频率时，OSCLK 和 OLRCK 基于 VCO 输出。表 2 显示了基于时钟切换功能启用或不启用时输出时钟的实例。

表 2. 时钟转换时输出的时钟速率

时钟选择 使能/禁止	PLL 锁定/未锁定	RMCK 时钟速率	RMCK	OSCLK	OLRCK
禁止	锁定	128*Fs	6.144 MHz	3.072 MHz	48 kHz
使能	锁定	128*Fs	6.144 MHz	3.072 MHz	48 kHz
禁止	未锁定	128*Fs	~375 kHz	~187.5 kHz	~2.925 kHz
使能	未锁定	128*Fs	11.2896 MHz	2.8224 MHz	44.1 kHz
禁止	锁定	256*Fs	12.288 MHz	3.072 MHz	48 kHz
使能	锁定	256*Fs	12.288 MHz	3.072 MHz	48 kHz
禁止	未锁定	256*Fs	~750 kHz	~187.5 kHz	~2.925 kHz
使能	未锁定	256*Fs	11.2896 kHz	2.8224 MHz	44.1 kHz

例如 OMCK = 11.2896 MHz 时，接收器输入采样速率为 48 kHz，OSCLK = 64*Fs，FSWCLK(仅软件模式) = ‘0’。

8.3 时钟恢复和 PLL 滤波器

详见“PLL 滤波器”的综合描述，所推荐 PLL 滤波器元件的选择和布局考虑。图 5 和 6 显示了构成 PLL 滤波器的 2 个电容和一个电阻的推荐配置。

9. 通用输出

3 个通用输出管脚（GPO）允许设计者灵活地配置 MS8416T/MS8416N。14 个信号可以由 GPO 管脚输出。GPO 的输出可以通过配置寄存器 2（02h）和寄存器 3（03h）中的 GPOxSEL[3:0]。在复位后，所有的 GPO 管脚默认接地。

GPO 管脚可以设置成下列数据：

表 3. GPO 管脚结构

功能	码	定义
GND	0000	固定低电平
$\overline{EMPH}$	0001	输入数据流中 $\overline{EMPH}$ 位的状态
INT	0010	MS8416T/MS8416N 中断输出
C	0011	通道状态位
U	0100	用户数据位
RERR	0101	接收器错误
NVERR	0110	无效的接收器错误
RCBL	0111	接收器通道状态块
96KHZ	1000	如果输入的采样速率≤48kHz，输出“0”。如果采样速率≥88.1kHz，则输出“1”。其他情况下输出未知。
$\overline{AUDIO}$	1001	输入数据流的非音频数据指示器
VLRCK	1010	虚拟 LRCK。作为输出 C 和 U 数据的时钟
TX	1011	通过设置控制 4 寄存器（04h）中的 TXSEL[2:0]选择 AES/SPDIF 输入的通路
VDD	1100	固定高电平
HRMCK	1101	512*Fs（注意 1）

预留码 1110-1111

注意：

1. 频率最大为 25MHz，占空比不确定，当 Fs=48kHz 时，占空比为 50%。

10. 错误和状态报告

10.1 概述

在解码双相编码数据流输入时，MS8416T/MS8416N 可以鉴别各种错误。

10.1.1 软件模式

软件模式下具有灵活的读取错误指示。未屏蔽时，接收器错误寄存器（0Ch）中的位指出下列错误：

1. QCRC – Q 子码数据中的 CRC 错误。
2. CCRC – 通道状态数据中的 CRC 错误。
3. UNLOCK – 输入数据时 PLL 未锁定。
4. V – 数据有效位错误。
5. CONF – UNLOCK 和 BIP 逻辑或。由于抖动恶化，输入数据流可能会接近错误发生的条件。
6. BIP – 双相编码错误。
7. PAR – 输入数据的奇偶检查位错误。

错误位是“粘性的”，意味当第一次错误发生置位后，会持续到用户通过数字接口读取寄存器。这使寄存器在最后一次读取后，记录了所有发生的未屏蔽错误。

相应的结果是，它需要在这些寄存器上执行两次读取以查看是否仍然存在错误条件。

接收器错误屏蔽寄存器（06h）允许屏蔽单独的错误。该寄存器默认为 00h，可以屏蔽接收器错误寄存器的相应位。如果屏蔽位置 1，则该错误是未屏蔽的，这意味着以下几点：错误发生后，相应的接收器错误寄存器位置 1，在 RERR 上产生一个脉冲，调用 RERR 中断，且根据 HOLD 位的状态影响当前的音频采样。即使未屏蔽，QCRC 和 CCRC 错误也不会影响当前的音频采样。

HOLD 位允许的选择：

- 保持先前的采样数据
- 将当前采样数据清 0（静音）
- 不改变当前的音频采样数据

10.1.2 硬件模式

在硬件模式下，用户可以通过对 NV/RERR 管脚上拉至高电平或低电平选择无效接收器错误（NVERR）或接收器错误（RERR）。上电时会检查管脚的上拉/下拉状态，且相应的错误位会被设置。

RERR – 在当前采样过程中，如果有效位是高电平，或奇偶检查，双相编码，可靠性或 PLL 锁定错误产生，保持先前的音频采样数据且通过串行音频输出端口。

NVERR –在当前采样过程中，如果奇偶检查，双相编码，可靠性或 PLL 锁定错误产生，保持先前的音频采样且通过串行音频输出端口。

10.2 非音频检测

AES3 数据流可用于传输非音频数据。因此输入的 AES3 数据流是否是数字音频非常重要。这个信息典型地传输在通道状态位 1。然而，如 AC-3™或 MPEG 编码器的确切非音频源不遵循该规定，且位不会被正确地设置。MS8416T/MS8416N 的 AES3 接收器使用自动检测系统可检测出非音频数据。

如果 AES3 数据流包含了 IEC61937 或 DTS 数据传输的专用格式中的同步码，将会出现一个内部的自动检测信号。如果一段时间后同步码不再出现，自动检测系统将会中断，且检测信号会持续到另一种格式被检测。

$\overline{AUDIO}$信号是自动检测信号和接收到的通道状态位 1（依据控制 1 寄存器中的 CHS 解码）的逻辑或。

在硬件模式，$\overline{AUDIO}$是管脚 15 上的输出。在软件模式，$\overline{AUDIO}$通过 GPO 管脚输出。如果检测到非音频数据，数据仍会如同音频数据一样正确处理。有一个特例是，如果输入数据流是非音频数据，利用去加重音自动选择功能将会略过加重滤波器。如有需要，用户可用此使输出静音。

10.2.1 格式检测

在软件模式，MS8416T/MS8416N 可以自动检测各种串行音频输入格式。格式检测状态寄存器（0Bh）用来指示检测到格式。如果未压缩的 PCM 数据，IEC61937 数据，DTS_LD 数据，DTS_CD 数据，或数字静音被检测到，寄存器会指示出。此时，IEC61937Pc/Pd 脉冲头码被用于寄存器 23h-26h。更多信息见寄存器描述。

10.3 中断

MS8416T/MS8416N 有大量的中断。软件模式下，当一个中断情况发生时，INT 信号可通过 GPO 管脚输出。也可通过控制 1 寄存器（01h）中的 INT[1:0]位设置低电平有效，高电平有效或无拉晶体管的低电平有效。最后一种模式用于低电平有效，线或的多路复用外设连接到微控制器的中断输入管脚。

引起中断的条件很多，都在中断状态寄存器描述中列出。每个中断源可通过屏蔽寄存器位被屏蔽。此外，每个中断源可设置为上升沿，下降沿或电平敏感。结合在微控制器中的电平敏感或边沿敏感模式选项，根据需要可实现不同的配置。参考寄存器描述中的中断屏蔽（07h），中断模式 MSB（08h），中断模式 LSB（09h），和中断 1 状态（0Dh）寄存器。

11. 通道状态和用户数据处理

“通道状态缓冲器处理”描述了通道状态和用户数据控制。

11.1 软件模式

在软件模式下，许多选项可用于处理接收到的 AES3/SPDIF 编码流中的通道状态和用户数据。

首先允许直接读取寄存器。通道状态块的前 5 个字节被编码到接收器通道状态寄存器 19h-22h 中。寄存器 19h-1Dh 包含了 A 通道状态数据。寄存器 1Eh-22h 包含了 B 通道状态数据。

通过适当地设置寄存器 02h 和 03h 中的 GPOxSEL，接收到的通道状态（C），用户位（U），和 $\overline{EMPH}$ 位可在 GPO 管脚上输出。在串行端口主模式，OLRCK 和 RCBL 作为 U 位数据输出的时钟。在串行端口从模式，VLRCK 和 RCBL 作为 U 数据输出时钟。VLRCK 是一个虚拟的字时钟，等于接收器恢复的采样速率，VLRCK 作为 C/U 的输出的时钟。VLRCK 和 RCBL 可通过 GPO 管脚输出。图 10 阐明了 C 和 U 数据的时序以及与之相关的信号。

通过设置串行音频数据格式寄存器（05h）中的 SORES[1:0]=11（AES3 直接模式），用户也可在输出数据流（SDOUT）中直接读取 C 和 U 位。通过外部逻辑的 DSP 或微控制器可从 SDOUT 信号中得到相应的位。

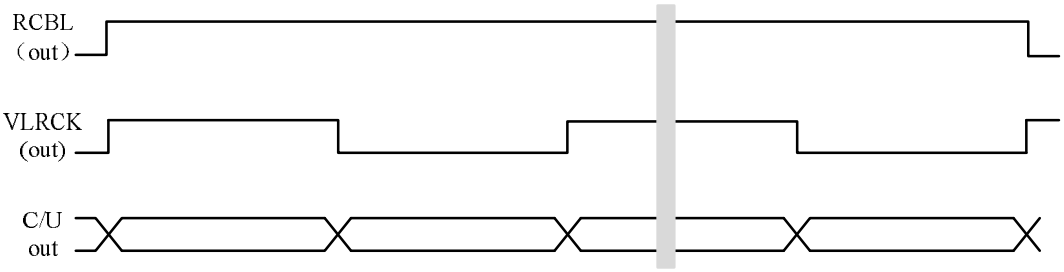
如果输入的用户数据位被编码为 Q-channel 子码，则数据通过解码，缓冲，存储到连续的 10 个寄存器中（0Eh-17h）。一个中断可指出接收并解出新的 Q-channel 子码。中断可通过数字接口读取。

指示采样字长的通道状态位根据 AES3-1992 或 IEC60958 解码。接收器通道状态寄存器（0Ah）中的 7 到 4 位记录了辅助位长度。

11.2 硬件模式

在硬件模式，接收到的通道状态（C），和用户位（U）分别在 19 和 18 管脚输出。在串行端口主模式，OLRCK 和 RCBL 作为 C 和 U 数据输出的时钟。图 10 阐明了 C 和 U 数据的时序以及与之相关的信号。

用户也可在 $\overline{AUDIO}$ 和 C 管脚上接一个 47kΩ 的上拉电阻到 VL（AES 直接输出模式），直接从输出数据流（SDOUT）中读取所有的 C 和 U 位。通过外部逻辑的 DSP 或微控制器可从 SDOUT 信号中剪得到相应的位。在主模式下，只有 OLRCK 是可用来限定 U 数据输出。详见“硬件模式功能选择”和“硬件模式等效寄存器设置”来配置这些管脚。



- RCBL goes high 2 frames after receipt of a Z preamble and is high for 16 frames.
- VLRCK is a virtual work clock, available through the GPO pins , that can be used to frame the C/U output.
- VLRCK duty cycle is 50%. VLRCK frequency is always equal to the incoming

图 10. C/U 数据输出

12. 数字接口描述

数字接口用来读取寄存器，配置 MS8416T/MS8416N 所需的工作模式和数据格式。数字接口可以和音频采样速率完全异步。然而，为避免潜在的干扰问题，如果不需要任何操作数字接口管脚应该保持静态。

MS8416T/MS8416N 作为一个从设备，数字接口有两种模式： SPI 和 I²C。如果 $\overline{RST}$ 管脚被置高电平后，在 AD0/$\overline{CS}$ 管脚上有一个从高到低的变换，则选择 SPI 模式。在 AD0/$\overline{CS}$ 管脚上接一个电阻到 VL 或 DGND，则选择 I²C 模式。因此固定选择了所要的 AD0 位地址状态。

12.1 SPI 模式

在 SPI 模式中，$\overline{CS}$ 是 MS8416T/MS8416N 芯片的选择信号，CCLK 是数字接口的位时钟（从微控制器输入到 MS8416T/MS8416N），CDIN 是输入数据管脚，CDOUT 是输出数据管脚。数据在 CCLK 的上升沿采样输入，在下降沿输出。

图 11 显示了 SPI 模式下数字接口的操作。写寄存器时，将 $\overline{CS}$ 由高变低。CDIN 上的起始 7 位组成了芯片地址且必须为 0010000。第 8 位是读/写（R/$\overline{W}$），低电平表示写。接下来的 8 位包括 7 位的寄存器地址指针（MAP），所需要读写寄存器的地址。接下来的 8 位是所要存放到 MAP 指定寄存器中的数据。在写操作中，CDOUT 输出保持高阻状态。如有需要，可在外部接一个 47kΩ的上拉或下拉电阻。

读寄存器时，写入 MAP，$\overline{CS}$ 由高变低，发送芯片地址且设置读/写位（R/$\overline{W}$）为高，则开始读寄存器。在接下来 CCLK 的下降沿将会输出地址寄存器的最高有效位。MAP 会自动递增，因此寄存器的数据将会依次出现。

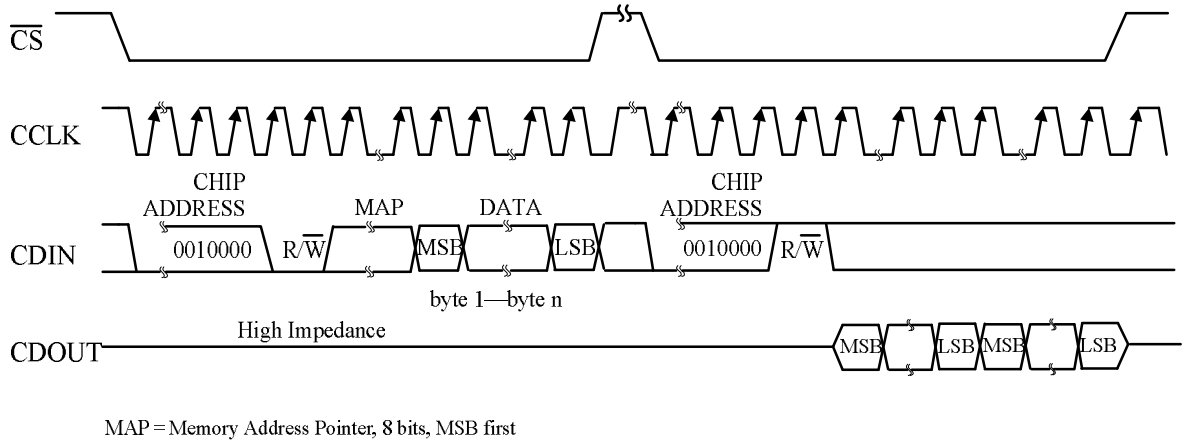


图 11. SPI 模式下的数字接口时序

12.2 I²C 模式

在 I²C 模式，SDA 是一个双向数据线。数据被 SCL 的时钟输入和输出端口。此时没有 $\overline{CS}$ 管脚。管脚 AD0 和 AD1 形成芯片地址的两个最低有效位，且需要应连接一个 47kΩ的电阻到 VL 或 DGND。在 MS8416T/MS8416N 被复位时，检测管脚状态。

图 12 和 13 分别显示了依次读和周期的信号时序。当时钟信号为高电平时，SDA 有一个下降的转变作为起始状态。时钟信号为高电平时，有一个上升转变作为结束状态。SDA 的其它所有转变都发生在时钟信号为低电平时。在起始状态后，由 7 位芯片地址和 1 位读/写位（高为读，低为写）组成的第一个字节被发送到 MS8416T/MS8416N。7 位地址的前 4 位是固定的 0010。

MS8416T/MS8416N 的通信中，芯片地址作为第一个字节被发送到 MS8416T/MS8416N，且 0010 后匹配设置的 AD2，AD1，和 AD0 管脚。地址的第 8 位是读/写位。如果是个写操作，接下来的一个字节包含寄存器地址指针（MAP），用来选择的所要读或写的寄存器。如果是个读操作，将输出 MAP 所指的寄存器的内容。MAP 自动递增，寄存器的数据将会依次出现。每一个字节由一个应答位（ACK）分隔开。在每次输入字节读取后 MS8416T/MS8416N 输出应答位，每一个传输的字节后微控制器发送应答位给 MS8416T/MS8416N。

注意读操作时不能设置 MAP，因此需要一个终止的写操作作为一个头码。如图 13 所示，在作为 MAP 的应答后发送一个停止状态，则写操作终止。

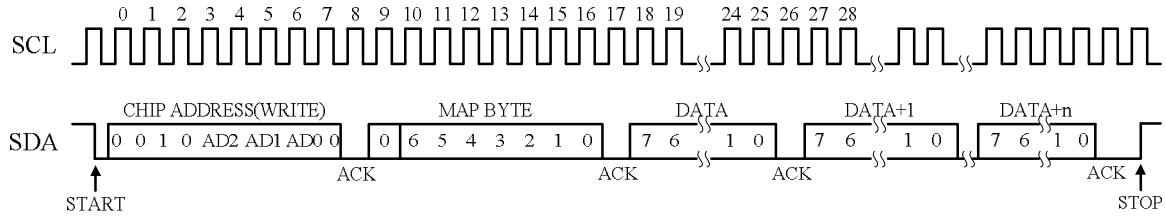


图 12. I²C 从模式下数字接口的写时序

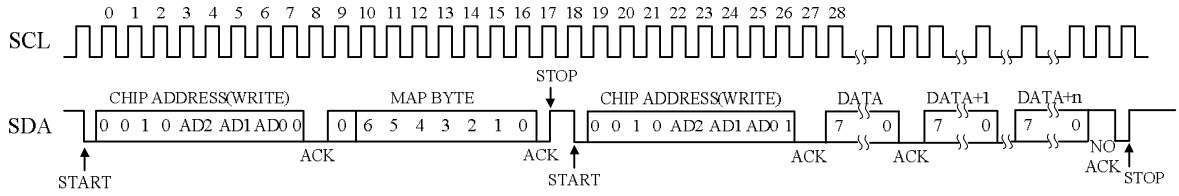


图 13. I²C 从模式下数字接口的读时序

13. 寄存器一览表

Addr (HEX)	R/W	Function	7	6	5	4	3	2	1	0
00	R/W	Control0	0	FSWCLK	0	0	PDUR	TRUNC	Reserved	Reserved
01	R/W	Control1	SWCLK	MUTSAO	INT1	INT0	HOLD1	HOLD0	RMCKF	CHS
02	R/W	Control2	DETCI	EMPH_CNTL2	EMPH_CNTL1	EMPH_CNTL0	GPO0SEL3	GPO0SEL2	GPO0SEL1	GPO0SEL0
03	R/W	Control3	GPO1SEL3	GPO1SEL2	GPO1SEL1	GPO1SEL0	GPO2SEL3	GPO2SEL2	GPO2SEL1	GPO2SEL0
04	R/W	Control4	RUN	RXD	RXSEL2	RXSEL1	RXSEL0	TXSEL2	TXSEL1	TXSEL0
05	R/W	Serial Audio Data Format	SMOS	SOSF	SORES1	SORES0	SOJUST	SODEL	SOSPOL	SOLRPOL
06	R/W	Receiver Error Mask	0	QCRCM	CCRCM	UNLOCKM	VM	CONFM	BIPM	PARM
07	R/W	Interrupt Mask	0	PCCHM	OSLIPM	DETCM	CCHM	RERRM	QCHM	FCHM
08	R/W	Interrupt Mode MSB	0	PCCH1	OSLIP1	DETC1	CCH1	RERR1	QCH1	FCH1
09	R/W	Interrupt Mode LSB	0	PCCH0	OSLIP0	DETC0	CCH0	RERR0	QCH0	FCH0
0A	R	Receiver Channel Status	AUX3	AUX2	AUX1	AUX0	PRO	COPY	ORIG	EMPH
0B	R	Audio Format Detect	0	PCM	IEC61937	DTS_LD	DTS_CD	Reserved	DGTL_SIL	96KHZ
0C	R	Receiver Error	0	QCRC	CCRC	UNLOCK	V	CONF	BIP	PAR
0D	R	Interrupt Status	0	PCCH	OSLIP	DETC	CCH	RERR	QCH	FCH
0E	R	Q-Channel Subcode [0:7]	CONTROL	CONTROL	CONTROL	CONTROL	ADDRESS	ADDRESS	ADDRESS	ADDRESS
0F	R	Q-Channel Subcode [8:15]	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK
10	R	Q-Channel Subcode [16:23]	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX
11	R	Q-Channel Subcode [24:31]	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE

12	R	Q-Channel Subcode [32:39]	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND
13	R	Q-Channel Subcode [40:47]	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME
14	R	Q-Channel Subcode [48:55]	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO
15	R	Q-Channel Subcode [56:63]	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE
16	R	[Q-Channel Subcode [64:71]	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND
17	R	Q-Channel Subcode [72:79]	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME
18	R	OMCK_RMCK Ratio	ORR7	ORR6	ORR5	ORR4	ORR3	ORR2	ORR1	ORR0
19	R	Channel A Status	AC0[7]	AC0[6]	AC0[5]	AC0[4]	AC0[3]	AC0[2]	AC0[1]	AC0[0]
1A	R	Channel A Status	AC1[7]	AC1[6]	AC1[5]	AC1[4]	AC1[3]	AC1[2]	AC1[1]	AC1[0]
1B	R	Channel A Status	AC2[7]	AC2[6]	AC2[5]	AC2[4]	AC2[3]	AC2[2]	AC2[1]	AC2[0]
1C	R	Channel A Status	AC3[7]	AC3[6]	AC3[5]	AC3[4]	AC3[3]	AC3[2]	AC3[1]	AC3[0]
1D	R	Channel A Status	AC4[7]	AC4[6]	AC4[5]	AC4[4]	AC4[3]	AC4[2]	AC4[1]	AC4[0]
1E	R	Channel B Status	BC0[7]	BC0[6]	BC0[5]	BC0[4]	BC0[3]	BC0[2]	BC0[1]	BC0[0]
1F	R	Channel B Status	BC1[7]	BC1[6]	BC1[5]	BC1[4]	BC1[3]	BC1[2]	BC1[1]	BC1[0]
20	R	Channel B Status	BC2[7]	BC2[6]	BC2[5]	BC2[4]	BC2[3]	BC2[2]	BC2[1]	BC2[0]
21	R	Channel B Status	BC3[7]	BC3[6]	BC3[5]	BC3[4]	BC3[3]	BC3[2]	BC3[1]	BC3[0]
22	R	Channel B Status	BC4[7]	BC4[6]	BC4[5]	BC4[4]	BC4[3]	BC4[2]	BC4[1]	BC4[0]
23	R	Burst Preamble PC Byte 0	PC0[7]	PC0[6]	PC0[5]	PC0[4]	PC0[3]	PC0[2]	PC0[1]	PC0[0]
24	R	Burst Preamble PC Byte 1	PC1[7]	PC1[6]	PC1[5]	PC1[4]	PC1[3]	PC1[2]	PC1[1]	PC1[0]

25	R	Burst Preamble PD Byte 0	PD0[7]	PD0[6]	PD0[5]	PD0[4]	PD0[3]	PD0[2]	PD0[1]	PD0[0]
26	R	Burst Preamble PD Byte 1	PD1[7]	PD1[6]	PD1[5]	PD1[4]	PD1[3]	PD1[2]	PD1[1]	PD1[0]
7F	R	ID & Version	ID3	ID2	ID1	ID0	VER3	VER2	VER1	VER0

14. 寄存器描述

14.1 寄存器地址指针（MAP）

非寄存器

7	6	5	4	3	2	1	0
0	MAP6	MAP5	MAP4	MAP3	MAP2	MAP1	MAP0

MAP[6:0] – 寄存器地址指针。在每次读或写之后会自动增加。

默认 = ‘0000000’

14.2 控制 0（00h）

7	6	5	4	3	2	1	0
0	FSWCLK	0	0	PDUR	TRUNC	Reserved	Reserved

FSWCLK – 强制在 RMCK 管脚上输出 OMCK 上的时钟而无视 SWCLK 位的功能或 PLL 是否锁定。

默认= ‘0’

0 – 在 RMCK 管脚上输出的 OMCK 时钟信号根据 SWCLK 位的功能。

1 – 强制在 RMCK 管脚上输出 OMCK 上的时钟而无视 SWCLK 位的功能。

PDUR – 改变用于锁定 RXP[7:0]输入的鉴相器类型。仅在采样速率为 32kHz-108kHz 之间时，该位可被设置。如果在该范围外设置 PDUR 位，将可能锁定失败。

默认= ‘0’

0 – 正常更新速率的鉴相器-恢复的主时钟（RMCK）具有低的宽带抖动，但会增加带内抖动。

1 – 高更新速率的鉴相器-恢复的主时钟（RMCK）具有低的带内抖动，但会增加宽带抖动。当输出接到一个 Σ-Δ 数模转换器（DAC）的时候，使用该设置会使性能最佳。

TRUNC – 音频数据是否由 AUX[3:0]解码后的输入通道状态数据所确定

最终的字长是 24bits 减去 AUX[3:0]解码得到的 bit。

默认= ‘0’

0 – 输入的数据没有缩减。

1 – 输入的数据根绝通道状态数据中指定宽度缩减。

缩减发生在去加重滤波器前。如果没有使用去加重滤波器，TRUNC 在输出数据上将无效。

Reserved – 这些位可能会随输入的音频数据而改变。

14.3 控制 1（01h）

7	6	5	4	3	2	1	0
SWCLK	MUTESAO	INT1	INT0	HOLD1	HOLD0	RMCKF	CHS

SWCLK – 当 PLL 锁定失败时 OMCK 时钟决定 RMCK，OSCLK，OLRCK 时钟

默认= ‘0’

0 – 自动时钟转换失效。在 PLL 未锁定时，RMCK 输出 VCO 频率（~750kHz）。

1 – 在 PLL 未锁定时，自动时钟转换启用。在 PLL 未锁定时，OMCK 上的输入时钟自动输出到 RMCK 上。

MUTESAO – 串行音频输出端口的静音控制
默认= ‘0’
0 – SDOUT 不静音。
1 – SDOUT 静音（全部置 0）。

INT[1:0] – 中断输出管脚（INT）控制
默认= ‘00’
00 – 高有效；输出高电平表示中断条件发生。
01 – 低有效；输出低电平表示中断条件发生。
10 – 漏极开路；低有效。在 INT 管脚上需要一个外部上拉电阻。由于在 I^2C 数字接口模式下需在 GPO2 管脚上接一个外部电阻来具体指定芯片地址的 AD2 位，因此不推荐 GPO2 上多路复用 INT。
11 – 预留。

HOLD[1:0] – 当接收错误发生时，对接收到的音频采样的处理
默认= ‘00’
00 – 保持最后一次音频采样。
01 – 用 0 取代当前的音频采样（静音）。
10 – 不改变接收到音频采样。
11 – 预留。

RMCKF – 恢复主时钟的频率
默认= ‘0’
0 – RMCK 输出的频率为 256*Fs。
1 – RMCK 输出的频率为 128*Fs。

CHS – 设置 A/B 通道中的 C 数据被解码到接收器通道状态寄存器（0Ah）。
默认= ‘0’
0 – A 通道。
1 – B 通道。
如果 CHS=0 且 TRUNC=1，两个通道的音频数据都会依据 A 通道中的通道状态数据指示的 AUX[3:0]缩减。如果 CHS=1 且 TRUNC=1，两个通道的音频数据都会依据 B 通道中的通道状态数据指示的 AUX[3:0]缩减。即使 A 通道中的通道状态数据指示的 AUX[3:0]和 B 通道中的通道状态数据指示的 AUX[3:0]不相同。

14.4 控制 2（02h）

7	6	5	4	3	2	1	0
DETCI	EMPH_CNTL2	EMPH_CNTL1	EMPH_CNTL0	GPO0SEL3	GPO0SEL2	GPO0SEL1	GPO0SEL0

DETIC – 禁止 D 到 E 的状态传输
默认= ‘0’
0 – 允许更新。
1 – 禁止更新。

EMPH_CNTL[2:0] – 去加重滤波器控制。见图 14 去加重滤波器响应。

默认= ‘000’

000 – 如果串行音频输出端口采用 AES3 直接输出格式，则去加重滤波器必须关闭。

001 – 设置 32kHz。

010 – 设置 44.1kHz。

011 – 设置 48kHz。

100 – 自动选择 50μs/15μs 的去加重滤波器。

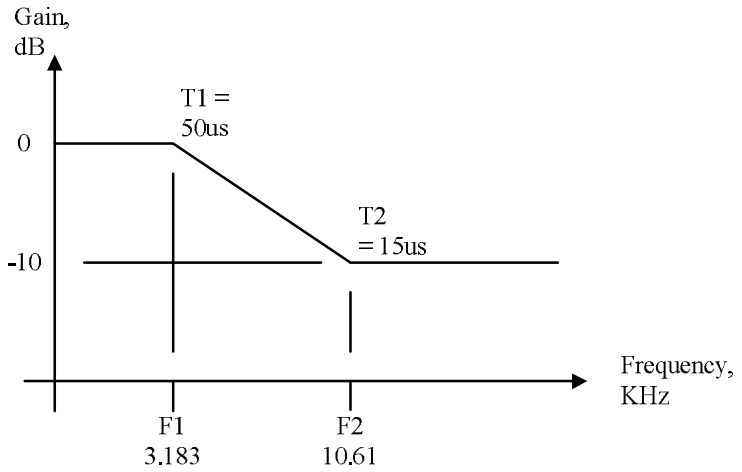


图 14. 去加重滤波器响应

GPO0SEL[3:0] – GPO0 源选择。详见“通用输出”。

默认= ‘0000’

14.5 控制 3（03h）

7	6	5	4	3	2	1	0
GPO1SEL3	GPO1SE2	GPO1SE1	GPO1SEL0	GPO2SEL3	GPO2SEL2	GPO2SEL1	GPO2SEL0

GPO1SEL[3:0] – GPO1 源选择。详见“通用输出”。

默认= ‘0000’

GPO2SEL[3:0] – GPO2 源选择。详见“通用输出”。

默认= ‘0000’

14.6 控制 4（04h）

7	6	5	4	3	2	1	0
RUN	RXD	RXSEL2	RXSEL1	RXSEL0	TXSEL2	TXSEL1	TXSEL0

RUN – 控制内部时钟，允许 MS8416T/MS8416N 进入“停机”，低功耗状态。

默认= ‘0’

0 – 停止内部时钟。内部状态复位。数字接口彻底的静态工作，允许寄存器读取或改变。低功耗。

1 – 正常工作。该位必须设 1 以允许 MS8416T/MS8416N 开始工作。当 RUN 置 1 时，所有的输入时钟在频率和相位上必须稳定。

RXD – RMCK 控制

默认= ‘0’
0 – RMCK 输出，时钟来自输入的帧速率。
1 – RMCK 高阻态。OSCLK，OLRCK，和 SDOUT 的输出未知。

RX_SEL[2:0] – 选择 RXP0 到 RXP7 作为接收器的输入
默认= ‘000’
000 – RXP0
001 – RXP1，
等

TX_SEL[2:0] – 选择 RXP0 到 RXP7 作为 GP0 TX 源的输入
默认= ‘001’
000 – RXP0
001 – RXP1，
等

14.7 串行音频数据格式（05h）

7	6	5	4	3	2	1	0
SOMS	SOSF	SORES1	SORES0	SOJUST	SODEL	SOSPOL	SOLROL

SOMS – 主/从模式选择
默认= ‘0’
0 – 串行音频输出端工作在从模式。OSCLK 和 OLRCK 作为输入。
1 – 串行音频输出端工作在主模式。OSCLK 和 OLRCK 作为输出。

SOSF – OSCLK 的频率（对于主模式）
默认= ‘0’
0 – OSCLK 的输出频率为 64*Fs。
1 – OSCLK 的输出频率为 128*Fs。

SORES[1:0] – SDOUT 上输出数据的分辨率
默认= ‘00’
00 – 24 位分辨率。
01 – 20 位分辨率。
10 – 16 位分辨率。
11 – 直接复制来自 AES3 接收器接收到的 NRZ 数据包括 C，U 和 V 位。Z 位被替换为用于指示数据块的起始位。该设置强制 SOJUST 位置为 0。使用该设置需要关闭去加重滤波器。

SOJUST – SDOUT 数据相对于 OLRCK 的对齐
默认= ‘0’
0 – 左对齐。
1 – 右对齐（仅在主模式且 SORES≠11）。

SODEL – SDOUT 数据相对于 OLRCK 的延迟，左对齐数据格式

（该控制仅在左对齐模式有效）

默认= ‘0’

0 – SDOUT 数据的最高有效位出现在 OLRCK 边沿后的第一个 OSCLK 周期。

1 – SDOUT 数据的最高有效位出现在 OLRCK 边沿后的第二个 OSCLK 周期。

SPSPOL – OSCLK 时钟极性

默认= ‘0’

0 – SDOUT 在 OSCLK 的上升沿采样。

1 – SDOUT 在 OSCLK 的下降沿采样。

SOLRPOL – OLRCK 时钟极性

默认= ‘0’

0 – 当 OLRCK 为高电平时，SDOUT 数据对左声道有效。

1 – 当 OLRCK 为高电平时，SDOUT 数据对右声道有效。

14.8 接收器错误屏蔽（06h）

7	6	5	4	3	2	1	0
0	QCRCM	CCRCM	UNLOCKM	VM	CONFM	BIPM	PARM

该寄存器使能接收器错误寄存器接收错误。如果屏蔽位被置 1，则该不屏蔽错误，若有错误，则接收器错误寄存器置位，并影响 RERR 管脚，RERR 中断，并根据 HOLD 位设置的当前的音频采样。如果屏蔽位被置 0，则该错误被屏蔽，接收器错误寄存器不会置位，不会影响 RERR 管脚，RERR 中断，和 HOLD 位设置的当前的音频采样。CCRC 和 QCRC 位和其它位不同：即使未屏蔽，它们也不会影响当前的音频采样。该寄存器默认为 00h。

14.9 中断屏蔽（07h）

7	6	5	4	3	2	1	0
0	PCCHM	OSLIPM	DETCM	CCHM	RERRM	QCHM	FCHM

该寄存器使能中断状态寄存器接收中断。如果屏蔽位被置 1，则该错误未屏蔽，中断发生将会影响 INT 管脚和状态寄存器。如果屏蔽位被置 0，则该错误被屏蔽，中断发生将不会影响 INT 管脚和状态寄存器。该寄存器的位与中断状态寄存器位一一对应。该寄存器默认为 00h。

INT 信号可在 GPO 管脚输出。详见“通用输出”。

14.10 中断模式最高有效位（08h）和中断模式最低有效位（09h）

7	6	5	4	3	2	1	0
0	PCCH1	OSLIP1	DETC1	CCH1	RERR1	QCH1	FCH0
0	PCCH0	OSLIP0	DETC0	CCH0	RERR0	QCH0	FCH0

这两组中断模式寄存器形成的 2 位编码作为每个中断状态寄存器的功能选择。可以设置 INT 管脚上 3 种相应的有效中断条件。在上升沿有效模式，中断条件发生时 INT 管脚变为有效状态。在下降沿有效模式，中断条件结束时 INT 管脚变为有效状态。在电平有效模式，在中断条件发生过程中 INT 管脚变为有效状态。注意有效电平（高或低）只取决于 INT[1:0]位。该寄存器默认为 00h。

00 – 上升沿有效

01 – 下降沿有效

10 – 电平有效

11 – 预留

14.11 接收器通道状态（0Ah）

7	6	5	4	3	2	1	0
AUX3	AUX2	AUX1	AUX0	PRO	COPY	ORIG	EMPH

该寄存器与 A 或 B 通道接收到的数据相关。通过寄存器 1 中的 CHS 位选择 A 或 B 通道。

AUX3:0 – 输入辅助数据的位宽，由输入的通道状态位指示，依据 IEC60958 和 AES3 解码。

0000 – 无辅助数据。

0001 – 辅助数据的长度是 1 位。

0010 – 辅助数据的长度是 2 位。

0011 – 辅助数据的长度是 3 位。

0100 – 辅助数据的长度是 4 位。

0101 – 辅助数据的长度是 5 位。

0110 – 辅助数据的长度是 6 位。

0111 – 辅助数据的长度是 7 位。

1000 – 辅助数据的长度是 8 位。

1001 – 1111 预留

PRO – 指出通道状态块格式

0 – 接收到的通道状态块是消费者格式。

1 – 接收到的通道状态块是专家格式。

COPY – SCMS 版权指示

0 – 显示版权。

1 – 不显示版权。如果输入的 AES3 数据流中的类别码设置为通用码，由 COPY 位指示版权，即使数据流中指示没有版权。

ORIG – SCMS 代指示，由类别码和 L 位解码。

0 – 接收到的数据是第一代或更高。

1 – 接收到的数据是原始数据

注意：如果输入数据是专用格式或接收器不使用，COPY 和 ORIG 都将被置 1。

$\overline{EMPH}$ – 指示输入数据是否预加重。也指出在去加重自动选择模式中启动去加重滤波器。

0 – 表示 50μs/15μs 预加重。

1 – 表示无 50μs/15μs 预加重。

14.12 格式检测状态（0Bh）

7	6	5	4	3	2	1	0
0	PCM	IEC61937	DTS_LD	DTS_CD	Reserved	DGTL_SIL	96KHZ

注意：PCM，DTS_LD，DTS_CD 和 IEC61937 是互斥的。1 表示检测出格式。

PCM – 表示未压缩的 PCM 数据。

IEC61937 – 表示 IEC61937 数据。

DTS_LD – 表示 DTS_LD 数据。

DTS_CD – 表示 DTS_CD 数据。

Reserved – 该位的状态会根据输入的音频数据改变。

DGTL_SIL – 数字静音检测：两个通道中至少有 2047 个连续不变的 24 位音频采样。

96KHZ – 如果输入采样频率≤48kHz，输出 0。如果采样速率≥88.1kHz，输出 1。其他情况输出未知。

14.13 接收器错误（0Ch）

7	6	5	4	3	2	1	0
0	QCRC	CCRC	UNLOCK	V	CONF	BIP	PAR

该寄存器包含了 AES3 接收器和 PLL 状态位。当错误发生时，未屏中断蔽位置 1，且会保持到该寄存器被读取。除非错误源仍然存在，否则读寄存器会使所有位复位到 0。若接收器错误屏蔽寄存器中的位设置为屏蔽状态，则该寄存器一直 0。

QCRC – Q 子码数据CRC 错误指示。在 Q-subcode 块边界更新。

0 – 无错误。

1 – 有错误。

CCRC – 通道状态块 CRC 错误指示。在通道状态数据块边界更新，在专消费者格式有效。

0 – 无错误。

1 – 有错误。

UNLOCK – PLL 锁定状态位。在通道状态数据块边界更新。

0 – PLL 锁定。

1 – PLL 未锁定。

V – 接收到的 AES3 的有效位的状态。在子帧边界更新。

0 – 数据有效，且是正常的线性编码 PCM 音频。

1 – 数据无效，或是有效的压缩音频。

CONF – 可靠性位。在子帧边界更新。

0 – 无错误。

1 – 有错误。UNLOCK 和 BIP 的逻辑或。由于抖动恶化，输入数据流可能出现错误情况。

BIP – 双相编码错误位。在子帧边界更新。

0 – 无错误。

1 – 有错误。指示在接收到的双相编码数据有错误。

PAR – 奇偶校验位。在子帧边界更新。

0 – 无错误。

1 – 有错误。

14.14 中断 1 状态（0Dh）

7	6	5	4	3	2	1	0
0	PCCH	OSLIP	DETC	CCH	RERR	QCH	FCH

对于该寄存器中的位，1 表示在寄存器最后一次读取后对应的中断至少发生过一次。0 表示在寄存器最后一次读取后相应的中断没有发生。除非中断源一致存在，否则读寄存器使所有位复位到 0。屏蔽寄存器设置为屏蔽状态，则该寄存器中相应的状态位一直为 0。

PCCH – PC 脉冲头码变化。

指出 PC 字节与先前的值发生变化。如果格式检测状态寄存器中的 IEC61937 位变高，即使 PC 字节未发生改变，也会引起一个 PCCH 中断。

OSLIP – 串行音频输出端口数据迟滞中断。

当串行音频输出端口在从模式下，OLRCK 与端口数据源异步，该位会在每次数据采样滞后或重复时变高。更多信息详见“迟滞/重复行为”。

DETC – D 到 E 的 C 缓冲器传输中断。

指出 D 到 E 的 C 缓冲器一次传输的完成。详见“通道 状态缓冲器管理”。

C_CHANGE – 指出当前的 10 字节通道状态与先前的 10 字节不同。（每个通道 5 字节）

RERR – 发生一个接收器错误。

读取接收器错误寄存器可确定引起中断的错误原因。

QCH – 一个新的 Q 子码块可用于读取。数据必须在中断发生后的 588 AES3 个帧内读取，以避免下被下一个数据块覆盖。

FCH – 格式改变：在格式检测状态寄存器中的 PCM，IEC61937，DTS_LD，DTS_CD，或 DGTL_SIL 位由 0 变 1 时，该位会变高，但在格式检测状态寄存器中的这些位又 1 变 0 时，不会产生中断。

14.15 Q 通道子码（0Eh – 17h）

7	6	5	4	3	2	1	0
CONTTOL	CONTTOL	CONTTOL	CONTTOL	ADDRESS	ADDRESS	ADDRESS	ADDRESS
TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK	TRACK
INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX	INDEX
MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE	MINUTE
SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND	SECOND
FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME	FRAME
ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO	ZERO
ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE	ABS MINUTE
ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND	ABS SECOND
ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME	ABS FRAME

80 位 Q-subcode 中的每个字节是以最低有效位开始。因此，地址 0Eh 的位 7 对应 Q[0]，地址 0Eh 的位 0 对应 Q[7]。相同地，地址 17h 的位 0 对应 Q[79]。

14.16 OMCK/RMCK 比率（18h）

7	6	5	4	3	2	1	0
ORR7	ORR6	ORR5	ORR4	ORR3	ORR2	ORR1	ORR0

该寄存器允许主机微控制器根据公式 ORR=Fso/Fsi 计算输入采样频率。Fso 由频率取决于的 OMCK（256*Fso）。ORR 是一个无符号的 2 位整数部分加上 6 位的小数部分。其值仅在 PLL 锁定后才有意义。例如，如果 OMCK 为 12.288MHz，则 Fso 为 48kHz（48kHz=12.288MHz/256）。如果输入采样频率也是 48kHz，则 ORR 寄存器中的值为 1.0（ORR 寄存器中的值是十六进制的，所有真实值是 40h）。如果 $F_{SO}/F_{SI} > 3\frac{63}{64}$，则 ORR 为 FFh。此外，ORR 中没有滞后。因此在任何时钟上的一个小抖动都会引起最低有效位 ORR[0]的振荡。

ORR[7:6] – 比率的整数部分（整数值=整数（SRR[7:6]））。

ORR[5:0] – 比率的分数部分（分数值=整数（SRR[5:0]）/64）。

14.17 通道状态寄存器（19h – 22h）

19h	Channel A Status Byte 0	AC0[7]	AC0[6]	AC0[5]	AC0[4]	AC0[3]	AC0[2]	AC0[1]	AC0[0]
1Ah	Channel A Status Byte 1	AC1[7]	AC1[6]	AC1[5]	AC1[4]	AC1[3]	AC1[2]	AC1[1]	AC1[0]
1Bh	Channel A Status Byte 2	AC2[7]	AC2[6]	AC2[5]	AC2[4]	AC2[3]	AC2[2]	AC2[1]	AC2[0]
1Ch	Channel A Status Byte 3	AC3[7]	AC3[6]	AC3[5]	AC3[4]	AC3[3]	AC3[2]	AC3[1]	AC3[0]
1Dh	Channel A Status Byte 4	AC4[7]	AC4[6]	AC4[5]	AC4[4]	AC4[3]	AC4[2]	AC4[1]	AC4[0]
1Eh	Channel B Status Byte 0	BC0[7]	BC0[6]	BC0[5]	BC0[4]	BC0[3]	BC0[2]	BC0[1]	BC0[0]
1Fh	Channel B Status Byte 1	BC1[7]	BC1[6]	BC1[5]	BC1[4]	BC1[3]	BC1[2]	BC1[1]	BC1[0]
20h	Channel B Status Byte 2	BC2[7]	BC2[6]	BC2[5]	BC2[4]	BC2[3]	BC2[2]	BC2[1]	BC2[0]
21h	Channel B Status Byte 3	BC3[7]	BC3[6]	BC3[5]	BC3[4]	BC3[3]	BC3[2]	BC3[1]	BC3[0]
22h	Channel B Status Byte 4	BC4[7]	BC4[6]	BC4[5]	BC4[4]	BC4[3]	BC4[2]	BC4[1]	BC4[0]

14.18 IEC61937 PC/PD 头码（23h – 26h）

23h	Burst Preamble PC Byte 0	PC0[7]	PC0[6]	PC0[5]	PC0[4]	PC0[3]	PC0[2]	PC0[1]	PC0[0]
24h	Burst Preamble PC Byte 1	PC1[7]	PC1[6]	PC1[5]	PC1[4]	PC1[3]	PC1[2]	PC1[1]	PC1[0]
25h	Burst Preamble PD Byte 0	PD0[7]	PD0[6]	PD0[5]	PD0[4]	PD0[3]	PD0[2]	PD0[1]	PD0[0]
26h	Burst Preamble PD Byte 1	PD1[7]	PD1[6]	PD1[5]	PD1[4]	PD1[3]	PD1[2]	PD1[1]	PD1[0]

14.19 MS8416T/MS8416N I.D.和版本寄存器（7Fh）

7	6	5	4	3	2	1	0
ID3	ID2	ID1	ID0	VER3	VER2	VER1	VER0

ID[3:0] – MS8416T/MS8416N 的 ID 码。固定为 0010

VER[3:0] = 0001(版本 A)

VER[3:0] = 0010(版本 B)

VER[3:0] = 0011(版本 C)

VER[3:0] = 0111(版本 D)

VER[3:0] = 1111(版本 E)

15. 硬件模式

MS8416T/MS8416N 具有硬件模式，允许芯片在没有微控制器下工作。硬件模式通过在 SDOUT 管脚上接一个 47kΩ的下拉电阻到地。在硬件模式下，许多管脚的功能发生了改变，描述在 15.2 的“硬件模式功能选择”中。

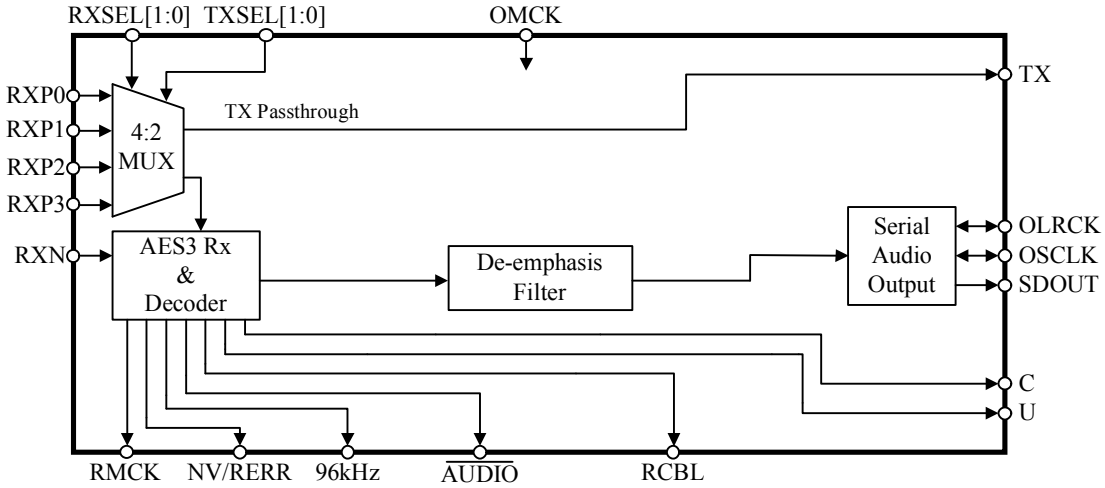
图 15 显示了硬件模式下的数据流程。音频数据通过 AES3/SPDIF 接收器输入，然后发送到串行音频输出端口。解码的 C 和 U 位为输出，在 OLRCK 的边沿采样（仅主模式，见图 10）。

输入音频数据中的错误会在 NV/RERR 管脚上指示。该管脚可以配置为两种模式中的一种。如果使 NV/RERR 上拉到 VL 选择 RERR，在当前采样中有效位是高，或同位检查错误，或双相编码错误，或置信错误，或 PLL 锁定错误，则保持先前的音频采样且通过串行音频输出端输出。如果使 NV/RERR 下拉到 DGND 选择 NVERR，仅同位检查错误，双相编码错误，置信错误，或 PLL 锁定错误，才保持先前的音频采样。

15.1 串行音频端口格式

在硬件模式下，串行音频输出的格式有限。表 5 详细说明了每种格式的位设置。

表 4 显示了启动选项，允许选择串行音频输出端口主或从模式，和串行音频端口的格式。



Power supply pins (VA, VD, and VL), AGND, DGND, The Reset pin (RST) and the PLL filter pin (FILT) are omitted from the diagram. Please refer to the Typical Connection Diagram for connection details.

图 15. 硬件模式下的数据流程

15.2 硬件模式功能选择

硬件模式和硬件模式的几个选项通过将 MS8416T/MS8416N 的管脚接一个 47kΩ上拉电阻到 VL 或下拉的 DGND。在 $\overline{RST}$ 信号变为高电平后系统检查这些管脚的状态。对于每一种模式，每个启动选项选择管脚（除了 TX 有内置的上拉-下拉电阻）必须接一个外置的上拉或下拉电阻。因为这些管脚没有内置的上拉或下拉电阻。

表 4. 硬件模式启动管脚状态

管脚名称	下拉到 DGND 的功能	上拉到 VL 的功能
SDOUT	硬件模式	软件模式
RCBL	串行端口从模式	串行端口主模式
AUDIO	串行格式选择 1（SFSEL1）=0	串行格式选择 1（SFSEL1）=1
C	串行格式选择 0（SFSEL1）=0	串行格式选择 0（SFSEL1）=1

U	RMCK 频率为 256*Fs	RMCK 频率为 128*Fs
TX	相位检测器标准更新速率	相位检测器高更新速率
96KHZ	关闭音频加重匹配	开启音频加重匹配
NV/RERR	选择 NVERR	选择 RERR

15.3 硬件模式等效的寄存器设置

以下所列的值等效于硬件模式下寄存器的设置。

控制 0 寄存器（00h）

FSWCLK = 0

PDUR = 复位后由 TX 管脚上拉/下拉决定。

TRUNC = 0

控制 1 寄存器（01h）

SWCLK = 如果复位后在 OMCK 管脚上有一个转换，则设为 1。其他情况设为 0。

MUTSAO = 0

INT[1:0] = N/A

HOLD[1:0] = 00

RMCKF = 复位后由 U 管脚上拉/下拉决定。

CHS = 0

控制 2 寄存器（02h）

DETCI = N/A

EMPH_CNTL[2] = 复位后由 96KHZ 管脚上拉/下拉决定。见图 14 的去加重滤波器响应。

EMPH_CNTL[1:0] = 00

GPO0SWL[3:0] = N/A

控制 3 寄存器（03h）

GPO1SWL[3:0] = N/A

GPO2SWL[3:0] = N/A

控制 4 寄存器（04h）

RUN = 1

RXD = 0

RX_SEL[2] = 0

RX_SEL[1:0] = RX_SEL[1:0]管脚。

TX_SEL[2] = 0

TX_SEL[1:0] = TX_SEL[1:0]管脚。

串行音频数据格式寄存器（05h）

SOMS = 复位后由 RCBL 管脚上拉/下拉决定。

Bit[6:0] = 复位后由 $\overline{AUDIO}$ 和 C 管脚上拉/下拉决定。见表 5 的位设置。

表 5. 硬件模式串行音频格式选择

串行格式选择[1:0]	SOSF	SORES[1:0]	SOJUST	SODEL	SOSPOL	SOLROL
00（左对齐 24-bit）	0	00	0	0	0	0
01（I²S 24-bit）	0	00	0	1	0	1
10(右对齐 24-bit)	0	00	1	0	0	0
11（AES3 直接）	0	11	0	0	0	0

接收器错误屏蔽寄存器（06h）

QCRCM = 0

CRCM = 0

UNLOCKM = 1

CONFM = 1

BIPM = 1

PARM = 1

VM =复位后由 NV/RERR 管脚上拉/下拉决定。

寄存器 07h 到 7Fh 在硬件模式没有等效的设置。

16. AES3/SPDIF/IEC60958 接收器的外部元件

16.1 AES3 接收器的外部元件

MS8416T/MS8416N 的 AES3 接收器用于专消费者和消费者模式接口。使用专家的数字音频规格需要一个对称的接收器，使用带 110Ω±20%阻抗的 XLR 连接器。在接收器上的 XLR 连接器需有带阳极外壳的阴极管脚。由于接收器有非常高的输入阻抗，接收器的末端应放置一个 110Ω的电阻以匹配导线阻抗，如图 16 和 17 所示。尽管 AES 没有规定变压器，但强烈推荐使用变压器。

如需在使用变压器时隔离，一个 0.01μF 的电容应串联在每个输入管脚（RXP[7:0]和 RXN），如图 17 所示。当不使用变压器时，由于高频能量会耦合到接收器，导致模拟性能的降低。

图 16 和 17 显示了一个可选择的（推荐）直流隔离电容（0.1μF-0.47μF）串联在电缆输入。如果在电缆中存在直流电压，该电容可以改善接收器的可靠性，防止变压器饱和，隔离直流电流。

在消费者模式接口中，需要一个阻抗为 75Ω±5%接收器的不平衡的电路。消费者格式接口的连接器是一个 RCA 声音插口。图 18 显示了接收器电路。图 19 显示了使用消费者接口的 S/PDIF 多路选择器输入电路。

在使用外置 RS422 接收器，光学接收器或其它 TTL/CMOS 逻辑输出驱动 MS8416T/MS8416N 接收器部分时，应使用图 20 中的电路。

在系统结构中，使用地环路和避免直流电流击穿电缆的屏蔽层是非常重要的，因为这会避免不同隔离的地连接在一起。通常地推荐将传输单元底板的屏蔽层接地，且通过电容连接屏蔽层到接收器的底板地。然而，在某些情况下，它却有利于两个接地的装置保持在相同电位，且可依据电缆屏蔽层关闭电路连接。通常地情况下推荐接地或电容耦合到底板的屏蔽层。

16.2 隔离变压器的要求

请参考应用注意 AN134：AES 和 SPDIF 的推荐变压器。

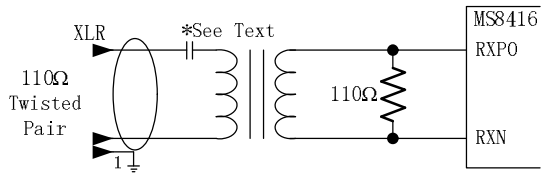


图 16. 专消费者格式输入电路

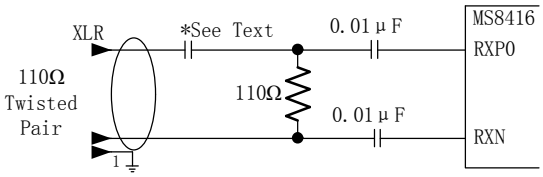


图 17. 无变压器的专消费者格式输入电路

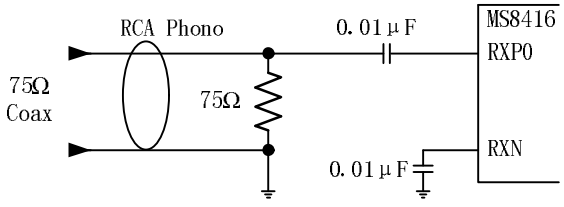


图 18. 专家格式输入电路

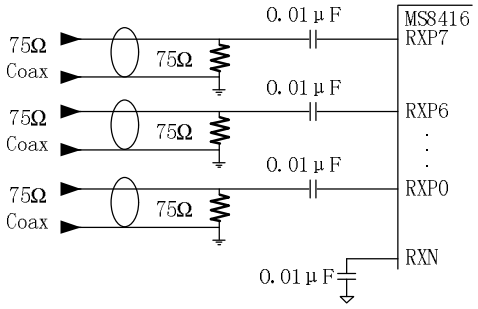


图 19. S/PDIF 多路复用器输入电路

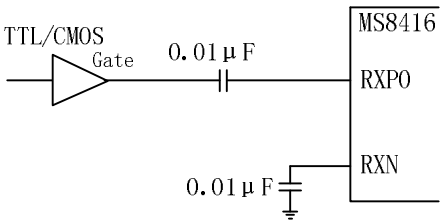


图 20. TTL/CMOS 输入电路

17. 通道状态缓冲器处理

17.1 AES3 通道状态位（C）处理

MS8416T/MS8416N 包含足够的 RAM 存储 A 和 B 通道的前 5 个字节（5×2×8 = 80 bits）。用户可以通过数字接口读取 RAM 的数据。

如图 21 所示，缓冲电路包括两个缓冲器 D 和 E。每个字节的最高有效位代表串行 C 数据流中的第一位。例如，字节 0 的最高有效位（在寄存器地址 19h）是通道状态块 A 的消费者/专消费者位。

第一个缓冲器（D）接收来自 AES 接收器的输入的 C 数据。第二个缓冲器（E）接收来自 D 缓冲器中的完整数据块。数字接口的数据也可通过 E 缓冲器读取 C 数据的前 5 的字节。

完整的 C 数据可通过硬件模式的 C 管脚和软件模式的 GPO 管脚获得。C 数据在 OLRCK 的上升沿和下降沿从 MS8416T/MS8416N 串行输出。

17.2 E 缓冲器访问

用户可以通过数字接口读取 E 缓冲器的数据，其中 E 缓冲器直接映射到 MS8416T/MS8416N 的寄存器空间。

用户可以配置中断使能寄存器，每当 D 到 E 缓冲器传输时产生中断。这确定与 E 缓冲器通信的时间

在寄存器（02h）中提供了 D 到 E 的禁止位。可用于当数字接口通信时或排除故障时。

图 22 显示了读取 E 缓冲器的流程。在读取后发生一个 D 到 E 的中断到下一个 D 到 E 的传输中，有一个充足的时间间隔（大约为 192 帧的时间）。在下一个传输没有被禁止时，通常有足够的时间读取 E 缓冲器的数据。

17.2.1 串行复制管理系统

在软件模式，MS8416T/MS8416N 允许读取所有的通道状态位。在消费者模式下的 SCMS，主机的微控制器需要相应地读取和编译类型码，复制位和 L 位。

在硬件模式，使用 COPY 和 ORIG 输出管脚或 C 位串行输出管脚遵循 SCMS 协议。详见 15 节的“硬件模式”。

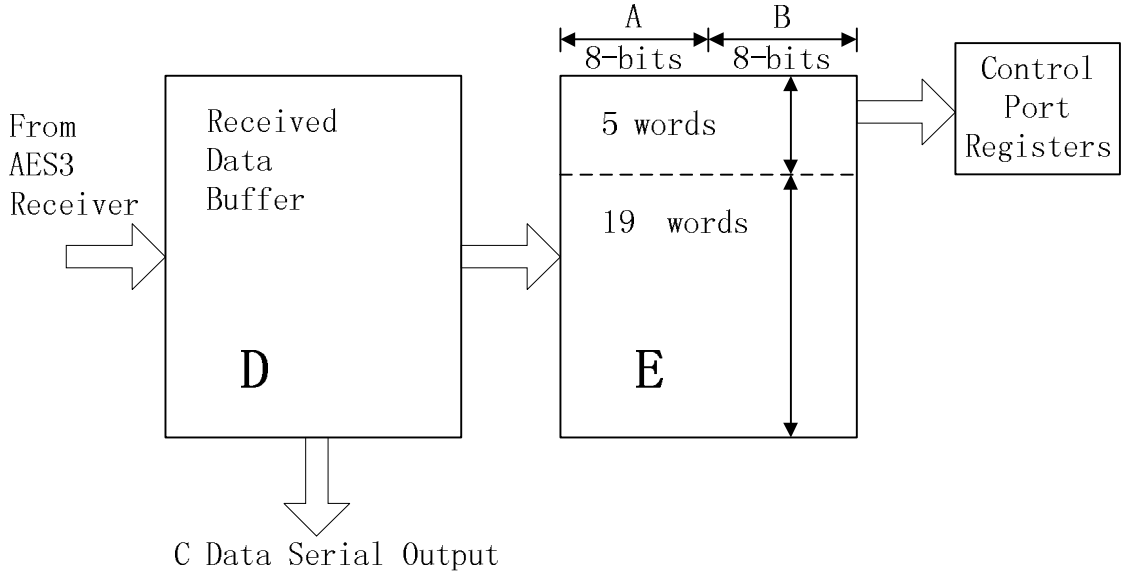


图 21.通道状态数据缓冲器结构

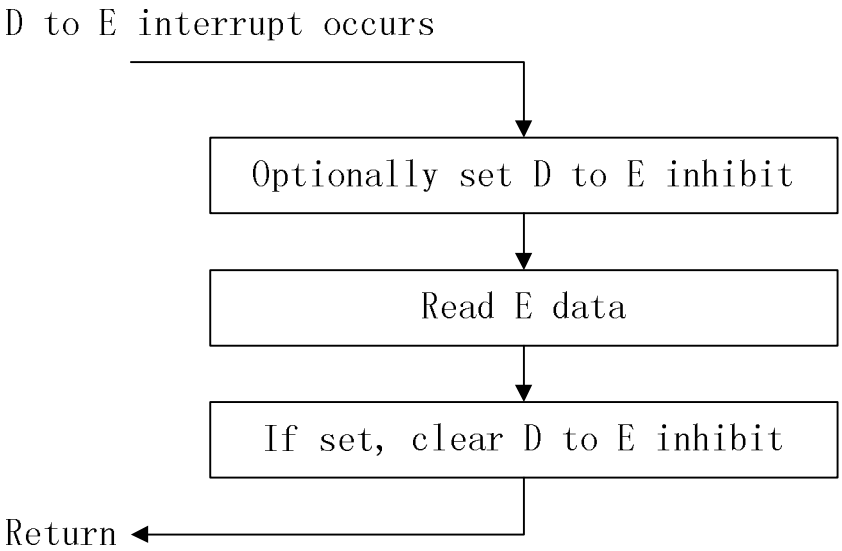


图 22. E 缓冲器的读取流程

18. PLL 滤波器

18.1 概述

锁相环（PLL）用于从输入数据流中恢复来时钟。图 23 是 PLL 的简化框图。当 PLL 锁定双相编码输入数据流时，PLL 在双相编码数据流的每个头码更新。它的频率是采样频率 Fs 的两倍。

在一些应用中，RMCK 管脚输出的低抖动时钟中非常重要的。因此，如图 25 所示 PLL 具有良好的抖动衰减特性。此外，PLL 只在使用双相编码数据流的头码时（PDUR=0）才能更新 PLL 的锁定信息。因为头码不随数据改变，所以 PLL 不受数据相关的抖动影响。

在外部元件没有改变时，PLL 可以在较宽的输入采样频率范围内锁定。如果输入采样频率随后发生变化，例如在一个变速应用中，PLL 只会追踪额定中心采样频率的±12.5%。额定中心采样频率就是 PLL 第一次在双相编码数据流锁定或在设置 RUN 控制位使能 MS8416T/MS8416N 的时钟后的采样频率。如果超出 12.5%的采样频率限制，PLL 就会回到宽锁定范围模式且重新获得一个新的额定中心采样频率。

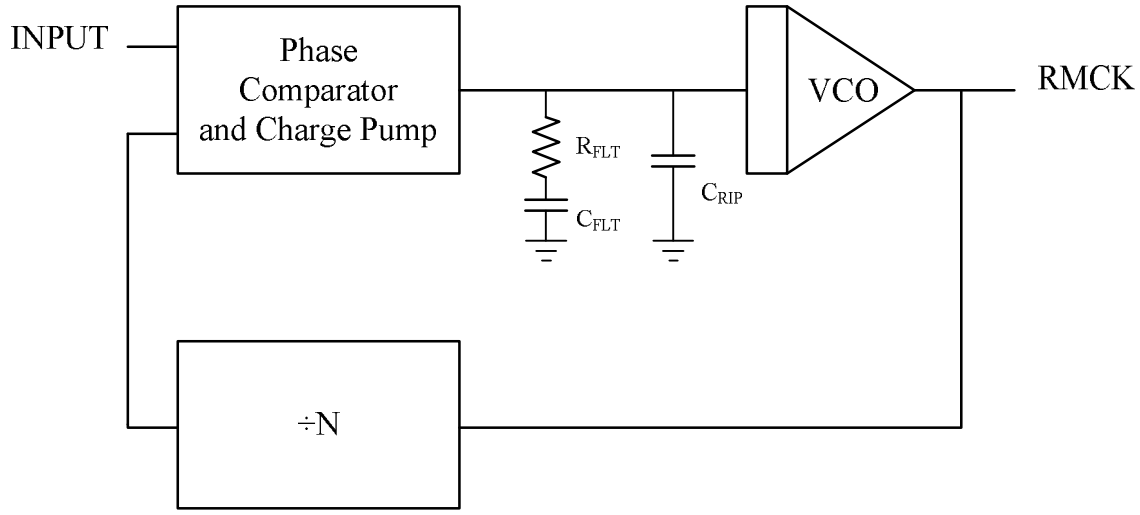


图 23. PLL 模块框图

18.2 滤波器的外部元件

18.2.1 概述

PLL 的性能受外部滤波器元件值的影响。图 5 和图 6 显示了 2 个电容和 1 个电阻组成 PLL 滤波器的结构。在表 6 中，器件值表示了有高拐点频率的抖动衰减曲线，短时间锁定，且提供了良好的输出抖动性能。锁定时间是最坏情况下 192kHz 的一个 Fsi 转变时间。

把 PLL 的 FLT 管脚视为低电平模拟输入是非常重要的。建议 PLL 滤波器的地端直接与 AGND 管脚连接到一个单独的地。

18.2.2 电容选择

用于 PLL 滤波器的电容类型对于接收器性能有非常重要的影响。引线和所需的电路板长连接线增加了电路电感，因此不需要大的或者外部的薄膜电容。由于贴片陶瓷电容本身的电感低，且可以靠近 FILT 管脚连接使导线电感最小，推荐选择贴片陶瓷电容。对于 C_{RIP} 电容，推荐使用 C0G 或者 NP0 电介质，对于 C_{FLT} 电容，优先选择 X7R 电介质。由于对撞击和振动敏感，要避免使用具有高温度系数或高电介质常数的电容。包括 Z5U 和 Y5V 电介质。

18.2.3 电路板的布局

电路板布局和电容的选择两者互相影响，且决定了 PLL 的性能。图 24 包含了 PLL 滤波器元件

和模拟电源旁路的一种推荐布局。0.1μF 旁路电容具有 1206 形式的系数。R_{FLT}，C_{FLT}，C_{RIP}，1000pF 的去耦合电容具有 0805 形式的系数。连接线在电路板的顶层表面，因此没有通路电感。非常短的连接线使得滤波器通路中的电感减到最小值。VA 和 AGND 的连接线向后延长到各自的起点，且在电路板中只显示为截断的形式。

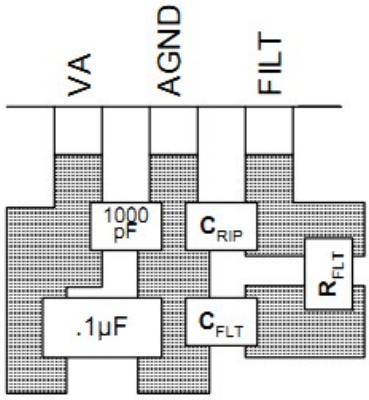


图 24. 布局推荐示例

18.2.4 器件选择

表 8 列出了 PLL 外部器件值。

表 6. PLL 外部器件值

范围（kHz）	R_{FLT}	C_{FLT}	C_{RIP}	稳定时间
32 - 192	3kΩ	22nF	1nF	4ms

18.2.5 抖动衰减

图 25 是抖动衰减曲线图。AES3 和 IEC60958-4 协议规定了最大 2dB 的抖动增益或脉冲尖峰。

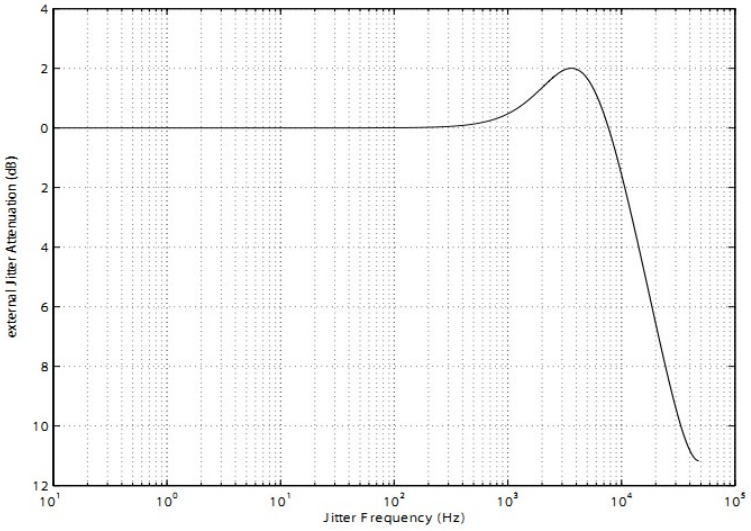
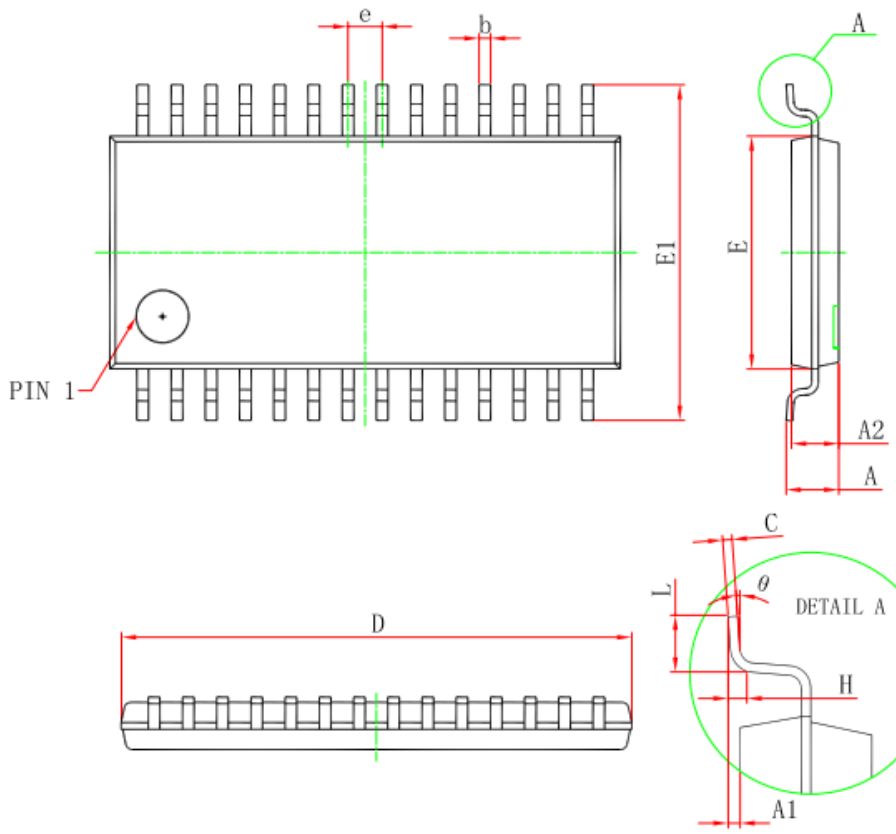


图 25. PLL 的抖动衰减特性曲线

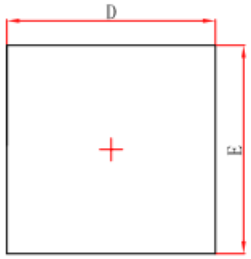
封装外形图

TSSOP28 UNIT: mm

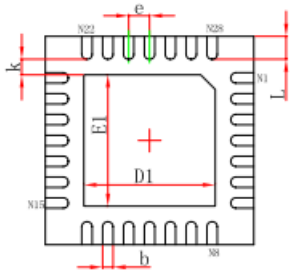


Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
D	9.600	9.800	0.378	0.386
E	4.300	4.500	0.169	0.177
b	0.190	0.300	0.007	0.012
c	0.090	0.200	0.004	0.008
E1	6.250	6.550	0.246	0.258
A		1.200		0.047
A2	0.800	1.000	0.031	0.039
A1	0.050	0.150	0.002	0.006
e	0.65（BSC）		0.026(BSC)	
L	0.500	0.700	0.020	0.028
H	0.25(TYP)		0.01(TYP)	
θ	1°	7°	1°	7°

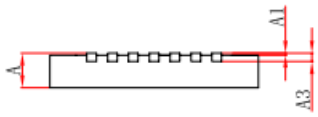
QFN28 UNIT: mm



Top View



Bottom View



Side View

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700/0.800	0.800/0.900	0.028/0.031	0.031/0.035
A1	0.000	0.050	0.000	0.002
A3	0.203REF.		0.008REF.	
D	4.900	5.100	0.193	0.201
E	4.900	5.100	0.193	0.201
D1	3.050	3.250	0.120	0.128
E1	3.050	3.250	0.120	0.128
k	0.200MIN.		0.008MIN.	
b	0.180	0.300	0.007	0.012
e	0.500TYP.		0.020TYP.	
L	0.450	0.650	0.018	0.026



MOS电路操作注意事项：

静电在很多地方都会产生，采取下面的预防措施，可以有效防止MOS电路由于受静电放电而引起的损坏：

- 操作人员需要通过防静电手环接地。
- 设备外壳必须接地。
- 装配过程中使用的工具必须接地。
- 必须采用导体包装或抗静电材料包装或运输。